

ACTIVE-MATRIX DISPLAY DEVICE

Publication No: CN 1305227 A

Date of publication of application: 25.07.2001

Application No: 00133102.7

Date of filing: 22.08.1992

Applicant: Semiconductor Energy Lab

Abstract

The present invention is related to insulated gate field transistors for an active-matrix LCD display. A channel length of the insulated gate field transistors (i.e., a distance between a source region and a drain region) has to be longer than the channel direction length. In a channel region, an offset region is formed on the side of the source and drain regions. The offset region is not influenced by the electric field of a gate or slightly influenced by the electric field.

[12] 发明专利申请公开说明书

[21] 申请号 00133102.7

[43] 公开日 2001 年 7 月 25 日

[11] 公开号 CN 1305227A

[22] 申请日 1992. 8. 22 [21] 申请号 00133102.7

分案原申请号 92110004.3

[30] 优先权

[32] 1991. 8. 23 [33] JP [31] 237100/1991

[32] 1991. 11. 29 [33] JP [31] 340336/1991

[32] 1992. 1. 24 [33] JP [31] 34194/1992

[32] 1992. 1. 29 [33] JP [31] 38637/1992

[32] 1992. 2. 5 [33] JP [31] 54322/1992

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平 间濑晃 广木正明

竹村保彦 张宏勇 鱼地秀贵

根本英树

[74] 专利代理机构 中国专利代理(香港)有限公司

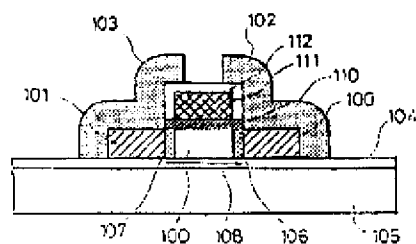
代理人 叶恺东

权利要求书 2 页 说明书 26 页 附图页数 23 页

[54] 发明名称 有源矩阵显示器件

[57] 摘要

一种适用于有源矩阵式液晶显示器的绝缘栅场效应晶体管。其沟道长度,即源区与漏区的间距被做成大于栅极沿沟道纵向所占的长度。在沟道区内,源区与漏区的侧面上形成有偏移(offset)区。这些偏移区不受或受到极微弱的来自栅极的电场作用。



ISSN 1008-4274

权 利 要 求 书

1. 一种有源矩阵显示器件, 包括:

5 第一晶体管和第二晶体管, 各个包括源区、漏区和沟道区、一个栅绝缘膜和一个栅极;

一个互连件, 用于将第一晶体管的源区或漏区与第二晶体管的栅极电连接起来; 和

一个像素电极, 与第二晶体管的源区或漏区电连接;

10 所述显示装置的特征在于, 各所述第一和第二晶体的所述沟道区与所述源区或源区之间具有至少一个杂质区, 所述杂质区杂质的含量低于所述源区和漏区。

2. 如权利要求 1 所述的有源矩阵显示器件, 其特征在于, 所述第一和第二晶体管为薄膜晶体管。

15 3. 如权利要求 1 所述的有源矩阵显示器件, 其特征在于, 所述第一晶体管为 n 沟道型晶体管, 所述第二晶体管为 p 沟道型晶体管。

4. 如权利要求 1 所述的有源矩阵显示装置, 其特征在于, 所述有源矩阵显示装置是个液晶显示装置。

5. 一种有源矩阵显示器件, 包括:

20 第一晶体管和第二晶体管, 各个包括源区、漏区和沟道区、一个栅绝缘膜和一个栅极;

一个互连件, 用于将第一晶体管的源区或漏区与第二晶体管的栅极电连接起来; 和

一个像素电极, 与第二晶体管的源区或漏区电连接起来;

25 所述显示装置的特征在于, 各所述第一和第二晶体管的所述沟道区与所述源区或漏区之间具有至少一个微量掺杂区。

6. 如权利要求 5 所述的有源矩阵显示器件, 其特征在于, 所述第一和第二晶体管为薄膜晶体管。

7. 如权利要求 6 所述的有源矩阵显示器件, 其特征在于, 所述第

一晶体管为 n 沟道型晶体管，所述第二晶体管为 p 沟道型晶体管。

8.如权利要求 6 所述的有源矩阵显示装置，其特征在于，所述有源矩阵显示装置是个液晶显示装置。

9.一种有源矩阵显示器件，包括：

5 第一晶体管和第二晶体管，各个包括源区、漏区和沟道区、一个栅绝缘膜和一个栅极；

一个互连件，供将第一晶体管的源区或漏区与第二晶体管的栅极电连接起来；和

一个像素电极，与第二晶体管的源区或漏区电连接；

10 所述显示装置的特征在于，各所述第一和第二晶体管的所述沟道区与所述源区或漏区之间具有至少一个杂质区，所述杂质区的结晶度低于所述源区和漏区。

10.如权利要求 9 所述的有源矩阵显示器件，其特征在于，所述第一和第二晶体管为薄膜晶体管。

15 11.如权利要求 9 所述的有源矩阵显示器件，其特征在于，所述第一晶体管是个 n 沟道型晶体管，所述第二晶体管是个 p 沟道型晶体管。

12.如权利要求 9 所述的有源矩阵显示器件，其特征在于，所述有源矩阵显示装置是个液晶显示装置。

20

说明书

有源矩阵显示器件

5 本发明涉及有源矩阵式电光器件，更具体地说，涉及一种可应用于有源矩阵式（active-matrix）液晶电光器件之类并具有最佳开关特性的场效应晶体管。本发明还涉及制造这种场效应晶体管的方法。

10 现有技术用于有源矩阵式液晶电光器件的薄膜绝缘栅场效应晶体管的结构，如图 2 所示。在绝缘基片 9 上形成有阻挡层 8。具有源区 4，漏区 5 和沟道区 3 的半导体层形成于阻挡层 8 上。在该半导体层上层叠有栅绝缘膜 2 和栅极 1。层间绝缘膜 12 形成在栅绝缘膜 2 和栅极 1 上。源极 6 和漏极 7 形成于层间绝缘膜 12 和半导体层上。

15 这种现有技术的绝缘栅 FET 的制造，按序描述如下：首先，借助用 SiO_2 作为靶的溅射法在玻璃基片 9 上产生阻挡层 8。然后，借助等离子体加速的 CVD 法形成半导体层并为构成具有源，漏和沟道区的半导体层而构图。然后，溅射氧化硅，以形成栅绝缘膜 2。接着，利用低压 CVD 法，产生被高掺磷并用于构成栅极的导电层。然后，
20 为形成栅极 1 而对导电层构制图样。此后用该栅极作掩模，植入掺杂剂的离子，从而制成源区 4，和漏区 5。然后，对该层制品进行热处理，以激活它。

25 以这种方式制成的绝缘栅 FET，其栅极 1 沿沟道纵向所占的长度基本上与标号 10 所表示的沟道长度相同。在 n 沟道结构情况下，这种结构的 FET 之电流—电压特性示于图 3。这种 FET 的缺点在于：在反偏区 13 中，漏电流随着加在源和漏区间的电压升高而增大。在该器件用于有源矩阵式液晶电光器件时，若漏电流以这这种方式增大的话，则在非写周期期间，借助写电流 30 而储存于液晶 29 中的

电荷就象图 5 (A) 中所示通过该器件漏电部分的漏电电流 31 那样被释放掉了。照这样, 是不可能获得良好对比度的。

5 解决这一问题的传统做法是如图 5 (B) 所示, 附加一个用以保持电荷的电容器 32。然而, 为构成这种电容器, 必须要有由金属互连制成的电容电极。这导致孔径比 (aperture ratio) 的减小。还有, 据说, 孔径比是通过用 ITO 的透明电极来制造这种电容而得以改善的。然而, 该方法需要一多余工序 (excess process), 因而不受欢迎。

10 在这种绝缘栅 FET 的源和漏极中只有其中之一同一个电容性器件或一电容器相连, 而且该晶体管用作开关器件的场合下, 例如, 在众所周知的一晶体管/单元型 (1 transistor/cell type) 的动态随机存取存储器 (DRAM) 的情况下, 或在其每个象素具有如图 5 (A) 或 5 (B) 所示电路的有源液晶显示器的情况下, 人们知道: 电容器上的电压是会因为栅极与漏极或源极之间存在寄生电容而变化的。
15 的。

这个电压的变量 V 与栅压 V_G 和寄生电容成正比, 而与电容器和寄生电容的电容量之和成反比。因此, 通常在制造该晶体管时借助自动调整技术去减小寄生电容量, 从而抑制电压的变化。但是, 当器件的尺寸减小时, 寄生电容的影响则增大到即使采用自动调整法
20 也不容忽略不计的程度。

就设法减小变量 V 而言, 现已提出一种新的方法。具体地说, 如图 5 (B) 所示, 除本身的容性器件外还并联有一电容器, 以增大该容性器件的视在电容量。然而, 正如前而已述, 对 DRAM 而言, 该电容器的面积增大不能被忽略不计。对液晶显示器而言, 不能忽略
25 不计数值孔径的减小。

本发明的一个目的就是提供一种没有上述诸问题的绝缘栅 FET。

上述目的的实现途径是将绝缘栅 FET 中的沟道长度, 即源区与漏区的间距, 制作成大于栅极沿沟道的纵向 (沟道长度方向) 所取

的长度，从而使偏移 (offset) 区分别形成于同源区和漏区相接触的那些沟道区的部位内。所述偏移区不受栅极的电场作用，或受到极微弱的栅极电场的作用。这种器件的电流—电压特性示于图 4 中。

5 本发明的另一目的是提供前段所描述的这种绝缘栅 FET 的加工方法。

本发明的其它目的及特征将在以下对其的说明中显现。

图 1 是根据本发明的一种半导体器件的截面视图；

图 2 是传统半导体器件的截面视图；

10 图 3 是表示图 2 所示传统型半导体器件的电流—电压特性曲线图；

图 4 是显示图 1 所示新型半导体器件的电流电压特性曲线图；

图 5 (A) 和 5 (B) 是传统型有源矩阵式液晶电光器件的部分电路图；

15 图 6 是根据本发明实例 1 的有源矩阵式液晶电光器件的一部分电路图；

图 7 是图 6 所示新型有源矩阵式液晶电光器件的那部分平面视图；

图 8 (A) 至 8 (F) 是图 6 和 7 所示新型有源矩阵式液晶电光器件的部分截面视图，示出了制造该器件的步骤；

20 图 9 是表示本发明实例 2 的 P-沟道 TFT (薄膜晶体管) 的电流电压特性曲线图；

图 10 是表示本发明实例 2 的 n 沟道 TFT 的电流—电压特性曲线图；

25 图 11 是说明实例 2 的漏极电流对阳极化膜的厚度的关系曲线图；

图 12 是说明实例 2 之阈值电压对阳极化膜之厚度的关系曲线图；

图 13 是说明实例 2 之电场迁移率对阳极化膜之厚度的关系曲线

图;

图 14(A) 至 14(D) 是实例 2 的薄膜晶体管的部分截面视图, 示出了制造该器件的次序;

5 图 15(A) 至 15(C), 是图 14(A) 至 14(D) 所示薄膜晶体管的顶视图, 示出了该器件的制造次序;

图 16(A) 至 16(F) 是本发明实例 1 的有源矩阵式液晶电光器件的部分截面视图;

图 17(a) 和 17(b) 是表示薄膜晶体管特性的曲线图;

10 图 17(c) 至 17(f) 是说明本发明薄膜晶体管之工作原理的示意图;

图 18(A) 至 18(D) 是本发明实例 5 之薄膜晶体管的截面视图, 示出了制造该器件的次序;

图 19(A) 至 19(D) 是本发明实例 6 的薄膜晶体管的截面视图; 示出了制造该器件的次序;

15 图 20 是本发明实例 6 之有源矩阵式液晶电光器件的平面视图;

图 21 是本发明实例 7 的有源矩阵式液晶电光器件的一部分电路图;

图 21(A) 和 21(B) 是说明图 21 所示有源矩阵式液晶电光器件的工作的原理图;

20 图 22(A) 至 22(C) 是本发明实例 6 的薄膜晶体管的顶视图, 示出了制造该器件的顺序。

25 参见图 1, 该图示出了本发明场效应晶体管的基本结构。该晶体管具有绝缘基片 105 和建立在该基片 105 上的阻挡层 104, 成为源区 100, 漏区 101 和沟道区 109 的半导体层建立在阻挡层 104 上。在沟道区 109 上形成有栅绝缘膜 110。栅极 111 形成于栅绝缘膜 110 上, 属于绝缘层的氧化层 112 形成于栅极 111 上。该氧化层 112 是通过对一种可被阳极化的材料进行阳极化而形成的。源极 102 及漏极 103 是使其分别同源区和漏区相接触而形成的。图 1 中未示出层

间隔膜，但在栅极或连至该栅极的引线与源、漏区，或连至源或漏极的引线之间的寄生电容量成为问题的场合可用先有技术的同样方式形成层间隔膜。这方面的实例将在后面描述。

5 仍参见图 1，成为栅极 111 和氧化层 112 的栅极部分是由可被阳极化的材料制成。该栅极部分的表面部分被阳极化而形成氧化层 112。待植入离子的源区 100 和漏区 101 之间的距离，即，沟道长度 108 比栅极 111 沿沟道纵向所占的实际长度长出大约两倍于氧化层 112 的厚度值。所述栅极部分包含金属或半导体。栅极部分的材料主要选自钛 (Ti)，铝 (Al)，钽 (Ta)，铬 (Cr) 和硅 (Si) 之一。
10 另一方面，栅极部分也可由这些材料中的某些合金制成。

因此，沟道区 109 的那些位于从形成于栅极两侧上的氧化层 112 部分引伸的栅绝缘膜 110 的相对两侧上之部分 106 和 107 不受栅极电场的作用或经受比直接处于栅极下的那些部分要弱得多的电场作用。这些区域 106 和 107，特别是在结晶度和剂量方面可与沟道区
15 相比的场合下，此后称其为偏移区。

这些区域 106 和 107 可由掺杂的非晶体材料构成。更严格地说，区域 106 和 107 的唯一必要条件是其结晶度次于相邻的源区 100 和漏区 101。例如，若源区 100 和漏区 101 是由具有大结晶颗粒的多晶硅构成的话，则区域 106 和 107 只需由结晶度稍优于非晶硅的半
20 非晶硅或非晶硅构成。若区域 100 和 101 是由半非晶硅构成，则区域 106 和 107 可由非晶硅构成。当然，这些非晶体材料是需要经过充分处理而使其呈现半导体性能的。例如，为了最大限度地减少空键，必须借助氢或某种卤素来充分减少这类键。

通过形成这些非晶体区就可获得如图 17 (a) 所示的良好的 TFT
25 特性。图 17 (b) 示出了先有技术的绝缘栅晶体管结构的一薄膜晶体管的电流-电压特性。正如比较这些特性曲线时可见到的，当采用先有技术方法时，可观测到反向漏电流很大。根据本发明方法，由于形成大致为非晶体的区域，从而改善了该特性。也就是说，掺杂

非晶区的形成获得了如先前已述的偏移区的形成同样的优点。

为什么非晶体区域的形成会改善该特性是无法完全理解的。一个可能的原因如下所述：在非晶体区域中，添加的掺杂元素以低于晶体区域中的速率被离子化。因此，若以相同剂量添加掺杂剂，则非晶体区表现它们具有较低的掺杂剂浓度。也就是说，形成了大致类似于轻掺杂的漏区的区域。例如，非晶态硅室温下的电离率为0.1-10%，这比几乎为100%电离率的单晶或多晶半导体要低得多。

另一可能原因是非晶态的带隙大于结晶态的带隙。例如，这可通过图17(e)和17(f)的能带图来解释。就通常轻掺杂的漏区结构晶体管而言，源、沟道和漏区之间的能带示于图17(c)和17(d)中。中段提升部分表示沟道区。阶梯部分表示轻掺杂漏区。图17(c)示出了栅极未加电压时的情况。当栅极施加以大的负电压时，便出现图17(d)所示情况。此时，在源区与沟道区之间以及沟道区与漏区之间存在禁带，从而防止诸如电子和空穴之类的载流子的运动。不过，这些载流子可利用隧道效应或以跳过带隙内的陷阱能级(trap level)的方式通过带隙。在不属轻掺杂漏区结构的一般薄膜晶体管(TET)中，带隙宽度较小，故更易于流过电流。这被认为是反向漏泄。这种现象对TFT来说尤为显著，并可能由归因于晶粒边界的许多陷阱能级所引起，因为TFT是由诸如多晶体等的多相材料制成的。

当增大轻掺杂漏区中的带隙时，上述的反向漏电流便减小。这种实例示于图17(e)和17(f)中。图17(e)示出了未将电压施加上到栅极时的情况，图17(f)示出栅极加有大的负电压时的情况。当如图17(f)所示施加一负压时，则正如比较图17(f)与图17(d)时所见，源区和沟道区之间的带隙宽度以及沟道区和漏区之间的带隙宽度均大于图17(d)所示情况中的相应宽度。隧道效应大大地受隧道阻挡层的宽度(在此情况下为带隙宽度)的影响。随着带隙宽度的稍微增大载流子穿透带隙的概率大大减小。再者，经由

局部能级的跃迁是一种合成隧道效应，因此，当带隙宽度增大时，穿隧带隙的概率会急剧下降。由于这些理由，故认为使轻掺杂漏区具有大带隙是有利的。非晶硅的带隙是 1.5 至 1.8eV，而多晶硅的带隙为 1.1eV。若轻掺杂漏区采用具有这样宽带隙的材料，则会产生相当理想的情况。

为制造根据本发明的半导体器件，尤其是制造具有上述偏移区的半导体器件，在成为源区，漏区和沟道区的半导体层以及栅绝缘层 110 形成之后用能被阳极化的材料建立栅极部分接着，将赋予半导体层为 P 型或 n 型的掺杂剂离子植入该半导体层，以形成源区 100 和漏区 101。此后，对栅极部分的表面进行阳极化（阳极氧化），以产生栅极 111 和氧化层 112。此后，再进行热处理或其它步骤。

另一种方法是：先形成半导体层和栅绝缘层 110，再用能被阳极化的材料制作栅极部分，接着，对栅极部分的表面进行阳极化（阳极氧化），以形成栅极 111 和氧化层 112。然后，将掺杂剂离子植入半导体层，以赋予其为 P 或 n 型，同时形成源区 100 和漏区 101。此后，完成热处理。

在实施这些步骤过程中，可容易地和可靠地制作其沟道长度大于沿沟道纵向所占的栅极长度的绝缘栅 FET，而不会产生因掩膜偏差所引起的性能变化。

制造具有非晶体区的新型半导体器件的另一种方法是一开始形成成为源区，漏区和沟道区的半导体层以及栅绝缘层 110。然后，用能被阳极化的材料制造栅极部分。接着，植入掺杂剂离子，以使半导体层掺杂成 P 型或 n 型。因此，使半导体层制成非晶体的。形成源区 100，漏区 101，及其毗邻的非晶体区 106 和 107。此后，对栅极部分的表面部分进行阳极化，以形成栅极 111 和氧化层 112。此时，对栅极表面进行氧化再处理。然后，当借助应用激光退火或闪光灯退火技术的自调整工艺将栅极部分用作掩膜时，只有源区 100 和漏区 101 可被再结晶。这一工艺过程属于自调整型式，因为栅极部分

遮蔽了位于栅极部分下面的底层掺杂区，故禁止了这些掺杂区的再结晶。

5 在利用离子植入工艺的地方，由离子的二次扩散引起的掺杂区的范围 (spreading) 可根据离子的加速能量而算出。再者，栅极的再处理是由氧化层的厚度确定的，因此，再处理也被取作为一个设计参数。根据本发明，可通过精确设计而达到栅极和掺杂区之间位置关系的最佳化。更具体地说，可按公差小于 10nm 来控制氧化层的厚度。此外，在离子植入期间所产生的二次散射可按与此同一数量级的允差来加以控制。因此，制造期间，可将位置关系控制到允差
10 小于 10nm。

由此可见，本发明无需更精确的掩膜调整，由本发明方法生产的产品损耗率是很低的。更确切地说，本发明器件具有大大改善的各项性能。下面给出了本发明的一些实例。

实例 1

15 采用根据本发明的对角线为 1 英寸的液晶电光器件制造用于电视摄象机的反光镜。该器件有 387×128 个象素，该反光镜用高迁移率的 TFT (薄膜晶体管) 在低温工艺中制得。用于本例中的液晶电光器件之基片上各有源元件的配置示于图 7 中。图 6 是本例的电路示意图。制造步骤示于沿直线 A-A' 和 B-B' 所裁取的图 8(A) 至 8(F)
20 中。沿直线 A-A' 所取横截面表示一 n 沟道 TFT。沿直线 B-B' 所取横截面表示一 P 沟道 TFT。

在图 8(A) 中，玻璃基片 51 由一种廉价材料构成并经历了 700℃ 以下，例如 600℃ 左右，的热处理。借助磁控管 RF (高频) 溅射工艺，在玻璃基片 51 上溅射氧化硅至厚度为 1000 至 3000 埃 (Å)，
25 以形成阻挡层 52。其环境条件是 100% 的氧气。在 150℃ 温度下形成该膜。磁控管输出功率为 400 至 800 度。压力为 0.5Pa。所用的靶是由石英或硅的一种单晶体构成。沉积率为 30 至 100 Å / 分。

用低压 CVD (LPCVD)，溅射，或等离子加速 CVD 方法在该阻挡层

52 上形成硅膜。在用低压 CVD 法形成硅膜の場合，则要在低于结晶温度 100 至 200℃（例如 450 至 550℃）的某一温度，例如在 530℃，下，将乙硅烷（ Si_2H_6 ）或三硅烷（ Si_3H_8 ）加入 CVD 设备中，反应炉内部压力为 30 至 300Pa。淀积率为 50 至 250 Å / 分钟。为使 P 沟道和 n 沟道 TFT 具有大致均匀的阈值电压 V_{th} ，可将乙硼烷形式的浓度为 1×10^{15} 至 1×10^{18} 原子/cm³ 的硼添加至该膜。

在用溅射法的情况下，进行溅射前的背压为 1×10^{-5} pa 或更小。用一种单晶硅作为靶。该工艺过程在添加了 20 - 80 % 氩气的氩气环境下实现。例如，氩气占 20%，而氢气占 80%，在 150℃ 时形成该膜。RF 的频率为 13.56MHz。溅射输出功率为 400 至 800 瓦。压力为 0.5Pa。

在用等离子加速 CVD 法形成硅膜の場合，例如，温度为 300℃。采用甲硅烷（ SiH_4 ）或乙硅烷（ Si_2H_6 ）。这类材料被导入 PCVD 设备。在施加 13.56MHz 的 RF 电功率下形成硅膜。

通过采用这些方法而形成的硅膜的氧含量最好为 5×10^{21} 原子/cm³ 或更小。若氧浓度高时，则难以结晶出硅膜。结果，必需提升热处理温度或延长热处理的时间。反之，若氧的浓度过低，则由于背光引起断开状态下的漏电流增大。因此，其适宜浓度范围为 4×10^{19} 至 4×10^{21} 原子/cm³。氢浓度为 4×10^{20} 原子/cm³，它是 4×10^{22} 原子/cm³ 的硅浓度的 1 原子百分比。

在用上述任一方法形成 500 至 5000 Å，例如 1500 Å 厚的非晶硅薄膜之后，将该层膜置于无氧化性的环境条件下以 450 至 700℃ 中等温度经历 12 至 70 小时的热处理。例如将该层膜置于 600℃ 的氩气室内。由于非晶硅氧化膜是在硅膜下面的基片表面处形成的，故在这种热处理期间，不存在特有的核（Specific nuclei）。因此，整层受到均匀处理。也就是说，膜的形成期间，假设为非晶体结构。氩气只是被混入其内。

经过热处理，硅膜从非晶态转为较高有序态（more highly

ordered state)。硅膜部分呈现结晶状态。特别是，在硅膜成形期间呈现比较有序状态的那些区域趋于结晶化。然而，介于这些较高有序区之间的硅原子使这些区联在一起，因此，硅原子彼此吸引。用激光喇曼分光术的测量已经表明：存在硅单晶从 522cm^{-1} 的峰值移向较低频峰值的事实。由半宽值计算已表明：视在粒子直径范围为 50 至 500Å 。也就是说，它们类似微晶粒。然而实际上，存在大量的结晶区，即，产生大量簇状物。这些簇状物由硅原子彼此固定。这样产生的涂层具有半非晶结构。

因此，可以说：在这涂层中基本上不存在晶粒边界。由于载流子可容易地穿行于固定位置的簇状物间，故该载流子的迁移率高于具有明显晶粒边界的多晶硅。更确切地说，空穴迁移率 (μ_h) 是 10 至 $200\text{cm}^2/\text{V}\cdot\text{秒}$ 。电子迁移率 (μ_e) 为 15 至 $300\text{cm}^2/\text{V}\cdot\text{秒}$ 。

若该涂层是通过 900°C 至 1200°C 间的某一高温热处理，而不是经由象上面所述的中等温度热处理由多晶体构成时，则由于晶核的固相生长而使涂层的杂质偏集。大量的氧，碳和氮等杂质包含在晶粒边界内。一个晶粒内的迁移率是大的。然而，载流子的迁移受到在晶界处形成的阻挡层的阻碍，使其难以获得超过 $10\text{cm}^2/\text{V}\cdot\text{秒}$ 的迁移率。因此，务必使半非晶膜中的氧、碳、氮和其它杂质的浓度在杂质浓度中占小或极小比例。在这种情况下，获得了 50 到 $100\text{cm}^2/\text{V}\cdot\text{秒}$ 的迁移率。

以这种方式形成的硅膜经光平板印刷刻蚀而形成 n-沟道 TFT 的半导体层 53 和 P-沟道 TFT 的半导体层 54。层 53 的沟道宽度是 $20\mu\text{m}$ 。在与形成阻挡层的硅氧化膜的相同条件下，形成成为栅绝缘膜的硅氧化膜，使其厚度达 500 至 2000Å ，例如，达 1000Å 。在形成硅氧化膜期间，可添加少量氟，以固着钠离子。

然后，在硅氧化膜上形成铝膜。采用光掩膜对铝膜绘制图样，该结果示于图 8(B) 中。形成 n-沟道 TFT 的栅绝缘膜 55 和栅极部分 56。这些膜 55 和电极部分 56 沿沟道纵向所占长度为 $10\mu\text{m}$ 。也

就是说，沟道长度为 $10\mu\text{m}$ 。类似地，形成 P 沟道 TFT 的栅绝缘膜 57 和栅极部分 58。膜 57 和栅极部分 58 沿沟道纵向的长度为 $7\mu\text{m}$ 。就是说，沟道长度是 $7\mu\text{m}$ 。栅极部分 56 和 58 的厚度为 $0.8\mu\text{m}$ 。在图 8(C) 中，对 P 沟道 TFT 将 1 至 5×10^{15} 离子 / cm^2 剂量的硼 (B) 植入源区 59 和漏区 60。然后，如图 8(D) 所示，用光掩膜法形成光阻材料 61。对 n-沟道 TFT，将 1 至 5×10^{15} 离子 / cm^2 剂量的磷 (P) 植入源区 62 和漏区 63。

接着，进行栅极部分阳极化。用乙二醇将含 L-酒石的酸稀释至 5% 浓度，并用氨将 PH 值调至 7.0 ± 0.2 。将该叠层制品浸入该溶液中并与恒流源的正端相接。将一铂电极连接到负端。当电流保持在 20mA 的同时，递增所加电压。氧化过程继续进行直至电压达到 150V。然后，将电压维持在 150V，继续进行该氧化工序直至电流减到 0.1mA 以下时为止。就这样，在栅极部分 56 和 58 的表面上形成铝氧化层 64，从而分别对 n-沟道 TFT 和 P-沟道 TFT 产生栅极 65 和 66。铝氧化层 64 的厚度为 $0.3\mu\text{m}$ 。

然后，将叠层制品置于 600°C 下再经过 10 至 50 小时的热处理。在 n 沟道 TFT 的源区 62 和漏区 63 中以及 P-沟道 TFT 的源区 59 和漏区 60 中的掺杂剂被激活，以使这两种类型的区域分别掺杂为 n^+ 型和 p^+ 型。沟道成形区 67 和 68 分别作为栅绝缘膜 55 和 57 下面的半非晶半导体而被形成。

在本方法中，掺杂剂的离子植入和对栅极的阳极化可以相反的次序进行。

这样，围绕栅极形成了金属氧化物构成的绝缘层。于是，每个栅极的实际长度比沟道长度短了两倍于绝缘膜的厚度，在此情况下为 $0.6\mu\text{m}$ 。无电场施加的偏移区的形成可减小反向偏置的漏电流。

在本例中，进行了图 8(A) 和 8(E) 所示的两次热处理。视乎所需特性而定，可以省去图 8(A) 所示的热处理。两次热处理可在图 8(E) 所示一个步骤中完成，从而缩短制造时间。在图 8(E) 中，

通过溅射氧化硅形成了层间绝缘体 69。硅氧化膜的形成可采用 LPCVD, 光加速 CVD 或大气压 CVD 工艺。形成层间绝缘体的厚度为 0.2 至 $0.6\mu\text{m}$, 例如为 $0.3\mu\text{m}$ 。接着, 采用光掩模形成电极孔 70。如图 8(F) 所示, 将铝溅射到整个叠层上。利用光掩模形成引线 71, 73 和触点 72。此后, 对叠层涂敷透射光的平面 (Planarizing) 有机树脂 74, 例如聚酰亚胺树脂。用光掩模再次形成电极孔。

为将两个 TFT 用作互补对, 并将这对 TFT 连到液晶器件的一个像素电极上, 借助溅射法形成铟锡氧化 (ITO) 膜, 所述一个像素电极为透明电极。用光掩模刻蚀铟锡氧化膜, 以形成电极 75。ITO 膜是在室温和 150°C 之间的某一温度下形成并在氧气或大气环境下经 $200-400^{\circ}\text{C}$ 的热处理。就这样, 在相同玻璃基片 51 上可形成 n-沟道 TFT76, p-沟道 TFT77 和透明导电膜的电极 75。所得到的薄膜晶体管呈现下列电气性能。p-沟道 TFT 的迁移率为 $20\text{cm}^2/\text{V}\cdot\text{秒}$, 阈值电压 V_{th} 为 -5.9V 。n-沟道 TFT 的迁移率为 $40\text{cm}^2/\text{V}\cdot\text{秒}$, 其阈值电压 V_{th} 为 5.0V 。

一种液晶电光器件的一个基片借助上述方法制得。该液晶电光器件的电极和其它部分的配置示于图 7 中。n-沟道 TFT76 和 p-沟道 TFT77 是在第一信号线 40 和第二信号线 41 的相交处形成。这种结构的 TFT 互补对成行和列排列。n-沟道 TFT76 在漏区 63 的输入端经由引线 71 连接到第二信号线 41。栅极部分 56 与构成多层导线的第一信号线 40 连接。源区 62 的输出端经由接点 72 被连到像素电极 75。

另一方面, 相对 p-沟道 TFT77 而言, 漏区 60 的输入端经由引线 73 与第二信号线 41 连接。栅极部分 58 与信号线 40 连接。源区 59 的输出端经由接点 72, 以与 n-沟道 TFT 的同样方式同像素电极 75 相连接。为实现本实例, 在水平和垂直方向上重复这一结构。

作为第二基片, 在一蓝片玻璃上溅射厚度达 2000\AA 的氧化硅。再在该基片上, 以室温与 150°C 间的某一温度通过溅射形成 ITO 膜。在氧气或大气环境下, 以 $200-400^{\circ}\text{C}$ 对该膜进行热处理。在这基片

上形成滤色镜，从而完成第二基片。

在第一和第二基片之间，夹入包含 6 部分用紫外线辐照固化的丙烯酸树脂和 4 部分向列相液晶的混合物，两基片的外围用环氧树脂固定。由于基片上的引线彼此相距只有 $46\mu\text{m}$ ，故它们的连接采用 COG 方法。在本例中，在 - IC 芯片上形成的金凸起部是利用环氧银 - 钯树脂连接的。IC 芯片和基片之间的间隔均埋在环氧改良型丙烯酸树脂中，借此，将它们统统密封地粘接在一起。然后，将极化板粘接到外部。这样，便得到一种传输型液晶电光器件。此外，用例 1 中相同方法也可制造如图 16 (A) 至 16 (F) 所示的传输型液晶电光器件。

实例 2

在本例中，要描述由偏移区的不同宽度所引起的半非晶硅 TFT 的特性变化。在本例中，半非晶硅 TFT 具有铝栅。铝栅的四周经阳极化而被氧化。由此形成偏移区。下面将详述制造 TFT 的一种方法。

在玻璃基片上形成由氮化硅膜和氧化硅膜组成的多层膜。用等离子加速 CVD 法形成厚度为 150nm 的非晶硅膜。为形成宽度达 $80\mu\text{m}$ 的 TFT 沟道而对硅膜绘制图形。置叠层制品于氮气室内以 600°C 加热 60 小时。这样制成半非晶硅。

然后，在氧气环境下溅射氧化硅的靶，以形成会成为栅氧化膜的硅氧化膜，该厚度为 115nm 。用电子束发射法形成铝涂层。用众所周知的光平面印制技术，对铝涂层和底下的硅氧化膜进行刻蚀，以形成栅极。在刻蚀工序中，采用了活性离子刻蚀法 RIE (reactive-ion etching)，用此法形成的栅极沟道长度为 $8\mu\text{m}$ 。

然后，对栅极及其连接部分进行阳极化。为此目的，用乙二醇将酒石酸稀释至 3% 浓度并放入容器中。然后在此液体中添加重量百分比为 5% 的含水氨，以使 PH 值调到 7.0 ± 0.2 。将整个叠层制品浸入该溶液中，同时采用温度在 $25\pm 2^\circ\text{C}$ 下的铂电极作为阴极。铝内连诸部同 DC 电源的正端相接，由此，对叠层制品进行阳极化。

在阳极化步骤中，先通过 0.2 至 $1\text{mA}/\text{cm}^2$ 的恒定电流。在电压达到 100 至 250V 的某个适宜值后，便进行维持电压恒定的阳极化，当电流下降至 $0.005\text{mA}/\text{cm}^2$ 时，关断电源。然后，取出该叠层制品。我们的实验说明：开始的恒流阶段只影响氧化膜的形成时间而几乎不影响最终形成的氧化膜的厚度。明显影响氧化膜厚度的一个参数是可达到的最大电压。在最大电压为 100V ， 150V ， 200V 和 250V 时，所得到的氧化膜厚度分别为 70nm ， 140nm ， 230nm 和 320nm 。我们的实验还表明获得的铝氧化膜的厚度是氧化铝的 1.5 倍。而且所获得的氧化膜厚度在整个长度上均相当一致。

然后，通过激光掺杂形成源区和漏区。在此激光掺杂工序中采用了氟化氪（KrF）激光器，这是一种激发物激光器。其振荡频率为 248nm 。样品放于一密封容器中，产生 95Pa 的低压环境。将乙硼烷（ B_2H_6 ）或磷化氢（ PH_3 ）作为掺杂气体引入该容器。激光器发出 50 个脉冲冲击（shots）。每个激光器脉冲冲击的能量为 350mJ 。

在制造 P-沟道 TFT 场合，用氢冲淡的乙硼烷被用作掺杂气体。乙硼烷的流量为 100sccm 。氢的流量为 20sccm 。在制造 n-沟道 TFT 场合，采用了磷化氢。磷化氢的流量是 100sccm 。

然后，为加速沟道区的活化作用，置叠层制品于氢气氛下经历 30 分钟的 250°C 的热处理。用众所周知的方法形成层间绝缘膜。源极和漏极以及它们的内连部分，从而制成 TFT。

这样制得的几个 TFT 的特性实例示于图 9 和图 10 中。图 9 示出了 p-沟道 TFT 的特性曲线。图 10 示出 n-沟道 TFT 的特性曲线。由于难以直接测量偏移区的大小，现就围绕栅极的氧化膜的厚度方面来说明本发明的优点。我们认为这一厚度足以反映出偏移区的大小。

由图 9 和 10 可见，反向漏电流和截止电流随着氧化膜的厚度增大而减小，即，随着偏移区的宽度增大而减小。我们已发现，对 n-沟道 TFT 来说，这一效果更为显著。实际上，对 n-沟道 TFT 而言，当栅极电压为零时的电流，或截止电流由于形成偏移区而被减小，

并降到一实际电平。就 p-沟道 TFT 而言，截止电流未减小，但反向漏电流大大减小。因形成偏移区而导致截止电流的减小图示于图 11 中，其中 I_{OFF} 为截止电流， I_{ON} 是接通电流。

偏移区的形成并未改变 TFT 的阈值电压。这点在图 12 中得到说明。然而，不同的实验已表明偏移区异常大的地方，则观测到由于所形成的沟道是不连续而引起的性能变坏。例如，如图 13 所示，当每个偏移区的宽度超过 300nm 时，则 n-沟道和 p-沟道 TFT 的电场活动性 (field mobility) 迅速减小。考虑到这些结果，可见：每个偏移区的合适宽度范围为 200 至 400nm。

实例 3

在根据本发明所制作的 TFT 中，每个偏移区的宽度不仅影响截止电流，而且影响源和漏区之间的电压—电阻性能以及操作速度。因此，通过使阳极化膜的厚度之类的参数最佳化而可制得理想 TFT。然而，一般来说，对独立形成在一个基片上的各个 TFT 去调整这类参数是不可能的。例如，需要这样一个实际电路：即要求在同一基片上形成在低速下操作并耐受高压的 TFT 与在高速下操作并经受低压的 TFT。根据本发明的基本原理，随着每个偏移区的宽度增大，截止电流减小和电阻对电压特性改善但操作速度降低。

本实例解决了这一问题，下面将参照图 14 (A) 至 14 (D) 的截面图及图 15 (A) 至 15 (C) 的平面图加以说明。本例关于制造一种图象显示方法中所用的电路，该方法系用一个 p-沟道 TFT 和一个 n-沟道 TFT 去激励一像素，如日本专利申请 296331/1991 中所述，要求该 n 沟道 TFT 以高速操作，但只需承受低电压即可，另一方面，该 p-沟道 TFT 无需以很高速度操作，但其截止电流必须要低。在某些情况下，p-沟道 TFT 必需承受高电压。因此，就要求：n-沟道 TFT 的阳极化膜要薄 (20 至 100nm)，而 p-沟道 TFT 的阳极化膜要厚 (250 至 400nm)。下面描述本例的制造步骤。

正如图 14 (A) 和 15 (A) 所示，基片 101 由 7059 康宁玻璃制

成。形成厚度为 50nm 的大致为本征非晶或多晶半导体膜，例如为非晶硅膜。对该膜绘制为形成 n-沟道 TFT 区 102 和 p-沟道 TFT 区 103 的独立区图样。将叠层制品置于氮室内经历 60 小时温度 600℃ 的热处理，以使 TFT 各区再结晶。

- 5 用 ECR PCVD 法淀积氧化硅作为 115nm 厚的栅绝缘膜 104。若在这样的硅氧化膜中存在象钠离子之类的可动离子，则最好通过将诸如磷之类的元素导入该膜而固定可动离子，以免除可动离子的有害影响。这类元件可通过象等离子掺杂等已知离子掺杂法导入。

- 10 本发明人已发现：用离子掺杂法将磷引入硅氧化膜有效地起到了作为钠吸收剂的作用。在该离子掺杂工序期间，磷离子在 2 到 30KeV，例如 10Kev 被加速。待掺杂的靶周围压力为 2×10^{-5} 至 5×10^{-4} 托，例如为 1×10^{-4} 托。在本例中，靶为氧化硅膜。磷的浓度为 5×10^{13} 至 1×10^{15} 离子/cm²，例如为 2×10^{14} 离子/cm²。这样，磷的剂量小于当形成通常 MOS 晶体管的掺杂区时所加入的掺杂剂剂量。

- 15 在这样加入磷之后，将叠层置于氮环境内，经 24 小时的 600℃ 热处理，以除去因离子掺杂所产生的硅氧化膜中的缺陷。将磷引入硅氧化膜大大地制止了由于可移动离子所造成的性能方面的恶化。因此，可靠性可得以改善。例如，将具有用上述方法形成的硅氧化膜的 MOS 电容器在经受 1 小时温度 150℃ 和电压为 $\pm 20V$ 的偏压/温度处理后，其阈值电压仅变化了 1V。在未引入磷的情况下，该阈值电压变化可高达 10V 以上。
- 20

- 在以此方式形成硅氧化膜之后，形成厚度为 500nm 的耐高温金属的钽膜。对该钽膜绘制图样，以形成 n-沟道 TFT 的栅极部分 105 和 p-沟道 TFT 的栅极部分 106。也可不用钽，代之以低电阻率，即，充分掺杂的多晶硅。此时，沟道长度和宽度均为 8 μ m。栅极及其互连部分均被电气连接到如图 15(A) 中所示的公共互连部 150。
- 25

对栅极及其互连部 105 和 106 通以电流，以借助阳极化（阳极氧化）法在栅极及其互连部 105 和 106 的上表面和侧面上形成铝氧

化物膜 107 和 108。除了最大电压为 50V 之外，与例 2 中同样实施该阳极化。结果，在这步所制得的阳极化膜的厚度大约为 60nm(图 14B)。

5 参照图 15(B)，用激光刻蚀法在 151 点切割，以使栅极及其互连部 105 与公共互连部 150 断开。在此情况下，对互连部 150 通以电流再次开始阳极化(阳极氧化)，以将栅极的阳极氧化表面部分连接到切割后的互连部 150。这些条件除了最大电压增至 250V 外，均与前述条件相同。由于无电流流过互连部 105，未观测到任何变化。然而，由于电流流过互连部 106(图 14c)，在栅极互连部 106 周围形成了厚度约为 300nm 的钽氧化膜 109。

10 接着，用离子掺杂法将掺杂剂离子引入半导体 102 和 103 的各独立区。用众所周知的 CMOS 制造技术分别将磷(p)和硼(B)植入半导体区 102 和 103。掺杂离子的能量为 80keV、本发明人和其它人都知道掺杂剂以穿过栅绝缘膜 100 至 300nm 厚度的方式被植入，若离子能量超过 100keV，则该处半导体晶粒将因该植入离子的能量而遭到严重破坏。为活化掺杂剂在其内扩散的这些区，必需 600℃以上的高温。在此过程中要获得高生产率是极其困难的。然而，在植入离子能量为 100keV 或更小处，在 600℃以下温度，例如 450~500℃即可使电阻足够低。

20 在离子掺杂步骤之后，将叠层制品置氮室内经历 30 小时的 500℃热处理，以使源区和漏区的表面电阻可达足够低。达到这点时的状态示于图 14(D)中。由该图可见，左侧 TFT 的偏移区之宽度小，而右侧 TFT 的偏移区之宽度大。此后，用众所周知的技术，在如 152 和 153 等的所需位置切割金属互连部 106 和 150。然后，形成层间绝缘膜。形成接触孔。将诸如 112 和 113 的导电互连部连接到各电极，
25 从而完成如图 15(C)所示电路。

在用此法制成的电路中，n-沟道 TFT 的偏移区宽度小，截止电流稍大，但这种 TFT 在操作速度方面，性能极好。另一方面，使 p-沟道在高速下操作是困难的，但其截止电流小。再者，p-沟道 TFT

在保持同其源区和漏区之一连接的象素电容器中所储存电荷的能力是极好的。象素电容器包括一对电极（铟锡氧化物）以及设置在电极之间并包括液晶的电光调制层。

5 在有些其他情况中，必须将具有不同功能的几个 TFT 组合地装在一个基片上。例如，在一液晶显示驱动器中，包括移位寄存器的逻辑电路需要高速 TFT，而输出电路需要耐高压的 TFT。本例的方法在制造必须满足这类矛盾要求的 TFT 时是切实可行的。

实例 4

10 在根据本发明所制造的 TFT 中，每个偏移区的宽度不仅影响截止电流，而且影响源和漏极之间的耐压性能及操作速度。因此，制作满足这一目的 TFT 可通过使诸如阳极化薄膜的厚度之类的某个参数最佳化来实现。然而，通常，调整在一基片上独立形成的各个 TFT 的这类参数是不可能的。例如，某特定电路需要在同一基片上形成低速操作并耐受高压的 TFT 和高速操作并耐低压的 TFT。根据本发明的基本原理，随着每个偏移区的宽度增大，截止电流减小和电阻对电压特性改善，但操作速度减小。

15 本例解决了这一问题，下面参照图 14 (A) 至 14 (D) 的截面图和图 15 (A) 至 15 (C) 的平面图加以描述。本例关于制造一种图象显示方法中所用的电路，该方法系用一个 p-沟道 TFT 和一个 n-沟道 TFT 去激励一象素，如日本专利申请 296331 / 1991 中所述，要求该 n 沟道 TFT 以高速操作，但只需承受低电压即可，另一方面，该 p-沟道 TFT 无需以很高速度操作，但其截止电流必须要低。在某些情况下，p-沟道 TFT 必需承受高电压。因此，就要求：n-沟道 TFT 的阳极化膜要薄（20 至 100nm），而 p-沟道 TFT 的阳极化膜要厚（250 至 400nm）。下面描述本例的制造步骤。

25 正如图 14(A) 和 15(A) 所示，基片 101 由 7059 康宁玻璃制成，形成厚度为 50nm 的大致为本征非晶或多晶半导体膜，例如为非晶硅膜。对该膜绘制为形成 n-沟道 TFT 区 102 和 p-沟道 TFT 区 103 的独立区

图样。将叠层制品置于氮室内经历 60 小时温度 600℃ 的热处理，以使 TFT 各区再结晶。用 ECR PCVD 法淀积硅氧化物作为 115nm 厚的栅绝缘膜 104。再形成厚度为 500nm 的耐高温金属的钽膜。对该钽膜绘制图样，以形成 n-沟道 TFT 的栅极部分 105 和 p-沟道 TFT 的栅极部分 106。也可不用钽，代之以低电阻率，即，充分掺杂的多晶硅。此时，沟道长度和宽度均为 8μm。栅极及其互连部分均被电气连接到如图 15(A) 中所示的公共互连部 150。

对栅极及其互连部 105 和 106 通以电流，以借助阳极化（阳极氧化）法在栅极及其互连部 105 和 106 的上表面和侧面上形成铝氧化物膜 107 和 108。除了最大电压为 50V 之外，与例 2 同样实施该阳极化。结果，在这步所制得的阳极化膜的厚度大约为 60nm（图 14B）。

参照图 15（B），用激光刻蚀法在 151 点切割，以使栅极及其互连部 105 与公共互连部 150 断开。在此情况下，再次开始阳极化，这些条件除了最大电压增至 250V 外，均与前述条件相同。由于无电流流过互连部 105，未观测到任何变化。然而，由于电流流过互连部 106（图 14c），在栅极互连部 106 周围形成了厚度约为 300nm 的钽氧化膜 109。

接着，用离子掺杂法将掺杂剂离子引入半导体 102 和 103 的各自独立区。用众所周知的 CMOS 制造技术分别将磷（p）和硼（B）植入半导体区 102 和 103。掺杂离子的能量为 80Kev。我们知道若离子能量超过 100Kev，为活化掺杂剂在其内扩散的这些区，必需 600℃ 以上的高温。在此过程中要获得高生产率是极其困难的。然而，在植入离子能量小于 100Kev 处，在 600℃ 以下温度，例如 450~500℃，即可使电阻足够低。

在离子掺杂步骤之后，将叠层制品置氮室内经历 30 小时的 500℃ 热处理，以使源区和漏区的表面电阻可达足够低。达到这点时的状态表示于图 14（D）中。由该图可见，左侧 TFT 的偏移区之宽度小，而右侧 TFT 的偏移区之宽度大。此后，用众所周知的技术，在如 152

和 153 等的所需位置切割金属互连部 106 和 150。然后，形成层间绝缘膜。形成接触孔。将诸如 112 和 113 的导电互连部连接到各电极，从而完成如图 15 (C) 所示电路。

5 在用此法制成的电路中，n-沟道 TFT 的偏移区宽度小，截止电流相对较大，但这种 TFT 在操作速度方面，性能极好。另一方面，使 p-沟道在高速下操作是困难的，但其截止电流小。再者，p-沟道 TFT 在保持像素电容器中所储存电荷的能力方面是极好的。

实例 5

10 图 18 (A) 至 18 (D) 示出了本例的截面图。基片 501 由康宁 7059 玻璃制成。用溅射法形成厚度为 100nm 的基底硅氧化膜 502。再用等离子加速 CVD 法形成厚度为 50nm 的非晶硅膜 503。为保护非晶硅膜，再用溅射法形成厚度为 20nm 的硅氧化膜 504。将该叠层置于氮环境内，在 600℃ 下经历 72 小时的热处理，以使这些膜再结晶。再结晶后的薄膜经光学平板印刷法和活性离子刻蚀法 (RIE) 被绘成图样，
15 以形成半导体岛区，如图 18 (A) 所示。然后，采用氟化氢和氟化氨的混合溶液，即，缓冲的氟氢酸，经湿蚀法除去硅氧化保护膜 504。该氟氢酸溶液的一例是由用于半导体制造的 1 份重量的高纯度氟氢酸（重量为 50%）和 10 份重量的半导体制造用氟化氨（40%）重量组成。该缓冲氟氢酸以 70nm/min 的速率蚀刻氧化硅，以 60nm/min
20 的速率蚀刻硅，和以 15nm/min 速率蚀刻铝。

用氧化硅作为靶在氧气环境下经溅射形成厚度为 115nm 的栅氧化膜 505。在此状态下，借助其离子掺杂法将磷离子植入栅氧化膜 505，以吸收存在于栅氧化膜内部诸如钠之类的可移动离子。在钠离子浓度低以致器件的工作不受可移动离子阻碍的场合，无需进行离子植入。在本例中，等离子加速电压为 10keV。剂量为 2×10^{14} 离子/cm²。将叠层置于 600℃ 进行 24 小时热处理。这样，由等离子掺杂的过程中的碰撞引起对氧化膜和对硅膜的损害得以恢复。

然后，用溅射法形成铝膜并用混合酸，即，添加了 5% 硝酸的磷

酸溶液，绘制图样以形成栅极及其互连部 506。当刻蚀温度为 40°C 时刻蚀率为 $225\text{nm}/\text{min}$ 。以此方式调整 TFT 的外形。此时，沟道长度为 $8\mu\text{m}$ ，宽度为 $20\mu\text{m}$ 。

5 N 型掺杂区 507 或说源区和漏区，用离子植入法形成于半导体区中。在这一步，磷离子作为掺杂剂离子被植入。离子能量为 80keV ，剂量为 5×10^{15} 离子/ cm^2 。如图所示，掺杂剂离子是穿过氧化膜而植入的。采用这种植入法的优点在于：在利用激光热处理而连续再结晶期间，保持了掺杂区表面的平滑度。在不采用这种植入的情况下，则在结晶期间，大量的晶核形成在掺杂区的表面上，从而引起该表面的不平整。这样，导出图 18(B) 所示结构。当然，经过这一离子植入工序，掺杂部分的结晶度受到严重破坏。这些部分大致呈现非晶态或接近于非晶态的多晶态。

15 对互连部 506 通以电流。经阳极化在栅极及其互连部的顶部表面和侧面形成铝氧化膜 508。就这阳极化而言，将 3% 的酒石酸的乙二醇溶液用 5% 氨中和，以将该溶液的 PH 值调到 7.0 ± 0.2 。将铂作为阴极浸入该溶液。然后，将 TFT 连同该基片一起浸入该溶液。将互连部 506 连接至电源的阳极。将温度保持在 $25\pm 2^{\circ}\text{C}$ 。

20 在这种情况下，先通以 $0.5\text{mA}/\text{cm}^2$ 的电流。当电压达到 200V 时，保持该电压不变，则器件被供电。当电流达到 $0.005\text{mA}/\text{cm}^2$ 时，切断电流，从而结束阳极化工序。这样获得的阳极化膜（栅极的阳极氧化涂层）的厚度约为 250nm 。见图 18(c) 所示。

25 接着用 KrF 作激发物的激光器对叠层进行激光热处理。例如，发出功率密度为 $350\text{mJ}/\text{cm}^2$ 的 10 个冲击 (shots) 激光脉冲。我们已肯定：可将非晶硅的结晶度恢复到如此程度，以致非晶硅可经得住由至少一个冲击激光辐照所引起的 TFT 的操作。为了最大限度地降低由于激光器功率波动而引起缺陷的可能性，需要足够数量的激光器脉冲的冲击。不过，过多的激光辐照冲击将使生产率下降。我们已发现：本例所用的 10 个冲击激光脉冲是最理想的。

为提高生产率，激光热处理是在大气中进行的。由于硅氧化膜已形成在掺杂区上，未发生问题。在暴露掺杂区而进行激光热处理的场合，在结晶化的同时，将大气中的氧带入了掺杂区，固而使结晶性变坏。这样，便不能获得具备令人满意性能的 TFT。因此，对暴露掺杂区的叠层要求其应在真空中进行激光热处理。

本例中，如图 18 (D) 所示，所进行的激光辐照是斜向进入叠层的。例如，激光辐射角与基片法向成 10° 角。该角度按照该制成器件的设计说明书确定。对掺杂区而言，由激光结晶的区域可为非对称的。也就是说，区域 509 和 510 是经充分结晶后的掺杂区。区域 511 不是掺杂区，但已经激光辐照而结晶化。区域 512 是掺杂区但不是结晶区。例如，图 18 (D) 右侧上的掺杂区可用作势必产生热电子的漏区。

由此可见，器件的形状得到了调整。此后，用传统方法溅射硅氧化物，以形成层间绝缘。用众所周知的光学平板印刷术形成电极孔，以暴露半导体区的表面或栅极及其互连部表面。最后，有选择地形成金属涂层。这样，便制成一个器件。

实施 6

在根据本发明所制作的 TFT 中，非晶半导体区的宽度和每个偏移区的宽度不仅影响截止电流而且影响漏和源区之间的耐压能力及操作速度。因此，通过使象阳极化膜的厚度或植入离子的能量之类参数的量佳化便可制得满足目标的 TFT。然而，通常对独立形成于一个基片上的各个 TFT 调整这类参数是不可能的。例如，一个实际电路需要在同一基片上形成低速操作并耐高压的 TFT 和高速操作并承受低压的 TFT。根据本发明的基本原理，随着每个偏移区的宽度或掺杂非晶半导体区的宽度增大，截止电流减小并且电阻-电压特性得到改善，但操作速度降低。

本例解决了这一问题，下面参照图 22 (A) 至 22 (C) 的平面图和图 19 (A) 至 19 (D) 的截面图加以描述。本例属于制造一种图象

显示法中所用的电路，如日本专利申请 296331/1991 中所述，该方法采用一个 p-沟道 TFT 和一个 n-沟道 TFT 去激励一象素。该 n-沟道 TFT 需以高速操作，但只需承受低电压即可。另一方面，p-沟道 TFT 无需高速操作，但要求其截止电流必需很低。在某些情况下，p-沟道 TFT 必需承受高电压。因此，就要求 n-沟道 TFT 的阳极化膜要薄（20 至 100nm），而 p 沟道 TFT 的阳极化膜要厚（250 至 400nm）。下面描述本例的制造步骤。

与例 5 中一样，基片 601 由康宁 7059 玻璃制成。形成一 n 型掺杂区 602，p-型掺杂区 603，栅极绝缘膜 604，栅极 606 及其互连体 607。栅极 606 及其互连体 607 连到互联部 650（图 22(A) 和 19(A)）。

栅极 606 及其互连体 607 被通以电流。用阳极化法，形成栅极 606 及其互连体 607 的顶部和侧表面上的铝氧化膜 613 和 614。阳极化步骤除最大电压为 50V 外，与实例 5 一样进行。在这步中所制得的阳极化膜的厚度约为 60nm（图 19(B)）。

现参照图 22(B)，用激光刻蚀法从互连体 650 的 651 处切开使其与栅极及其互连体 606 分割开。在此情况下，再次开始阳极化，阳极化步骤的条件除最大电压增为 250V 外，与先前条件一样。由于没有电流流过互连体 606，故未观测到任何变化。但，由于电流流过互连体 607（图 19(C)），故在栅极互连体 607 周围形成了厚度为 300nm 左右的铝氧化膜 615。

然后，在与例 5 相同条件下，进行叠层的激光热处理。在此情况下，就 n-沟道 TFT 而言，（图 19(A) - (D) 的左侧），非晶区和偏移区的宽度 a_1 是如此之窄，因此可忽略不计。在铝互连体的表面未涂敷阳极化膜的地方，互连体因激光照射而严重损坏。因此，有必要形成阳极化膜，尽管它不厚。另一方面，就 p-沟道 TFT 而言，（在图 19 的右侧）阳极化膜的厚度为 300nm。还存在厚度为 150 至 200nm 的非晶区。偏移区的宽度 a_2 估计应为 100 至 150nm（图 19(D)）。

与图 5 中一样，在大气下经激光器辐照，在所需位置上刻蚀铝

互连体。使 p-沟道 TFT 的栅极与互连体 607 分开。互连体 650 也被切割。形成一层间绝缘膜。形成接触孔，形成互连体 624 和 611。这样，便形成了一个电路。

5 在这样制成的电路中，n-沟道 TFT 的偏移区和非晶区都窄。虽然截止电流略大，但操作速度极佳。另一方面，欲 p 沟道 TFT 在高速下工作是困难的。不过截止电流是小的。在保持储存于像素电容器内的电荷方面的性能极好。

10 还存在具有不同功能的 TFT 必需组合安装在同一基片上的其它情况。例如，在一液晶显示驱动器里，包含移位寄存器的逻辑电路需要高速 TFT，而输出电路需要耐高压的 TFT。本例的方法可有效地用于制造必需满足这类矛盾要求的 TFT。

实例 7

借助例 1 所用方法所制造的由 n-沟道 TFT 组成的一个有源矩阵电路示于图 20 中。该有源矩阵包括选通线 701 和数据线 702，分别
15 排列成行和列。这些线由低电阻率的铝构成并涂敷以厚度为 200 至 400nm 的铝氧化膜——因该电路经历了根据本发明的阳极化步骤。这些线的宽度为 $2\mu\text{m}$ 。这些线的厚度为 $0.5\mu\text{m}$ 。用于像素的 TFT 的栅极 703 同选通线 701 连接。栅极也涂敷有氧化铝。在栅极下面形成了半导体层 704。与例 1 的 n-沟道 TFT 一样，也存在掺杂有磷的 n
20 型多晶区。至于构成本发明特点之一的偏移区，其宽度设为 200 至 400nm 左右。该半导体层的源同数据线 702 处于接触中。诸漏区经由铝极 705 同由 ITO 构成的像素电极 706 连接。

图 21 为按本例所制作的一个有源矩阵装置的电路原理图。图 21 (A) 示出该装置的操作情况。图 21 (B) 示出一个包含用先有技术
25 方法制作的 TFT 的装置操作情况，以供对照用。正如先前所述，在这种结构的矩阵电路中，人们已知：当电容器 C 的充电结束和栅压中断时，则电容器 C 经由栅和漏极间的寄生电容 C 被容性地耦合到选通线。该电压比充电电压减小了 V。这种现象从并联连接的 n-沟

道 TFT 的电路中也可观测到。这方面情况在由本申请人提交的专利申请 208648 / 1991 中作了详述。

正如图 21 所示，在仅由一个 TFT，即，或一个 n-沟道 TFT，或一个 P-沟道 TFT 构成的电路中，该电压降由下式给定

5
$$V = C_{GD} \cdot V_G / (C_{LC} + C_{GD})$$

中 V_G 为栅压的接通电压与截止电压之差。例如，在一个未采用自调整工序制成的 TFT 中，寄生电容 C_{GD} 相当大，故电压降 V 也大。为解决这一问题，正如图 21 所示，将存储电容器 C_{AD} 同象素电容器并联，以增大象素电容器的视在电容量。然而，该方法未根本解决该问题。正如已经说过的：引起了诸如孔径减小之类的新问题。

即使对采用自调整工艺制得的器件而言，若象素尺寸非常之小，以致同象素电容相比已不能忽略 TFT 的寄生电容影响时，则这个电压降会引起严重问题。例如，在一个配合高分辨率电视投影用的对角线为 3 英寸的投影屏中，象素电容小到 13fF。另一方面，在由采用 $2\mu m$ 规则的工艺制造 TFT 的场合，互连体的纵横比大。因此，即使不存在重叠，在三维几何空间内也会产生寄生电容。该电容达到几个 fF，即是象素电容量的 10% 或更大。

采用传统式 TFT 的有源矩阵电路示于图 21 (A) 中。显然，要形成正确的显示受到电压降 V 的不良影响。具体地说，为了使 TFT 高速操作，必需使栅极高于漏压。通常，使栅极大约两倍于所用漏压。因此若漏电压是 5V，则栅压为 10V 或更高。在为完善 TFT 的操作而使栅压在截止态时为负的场合，栅压呈更大程度的变化。在图 21 的情况下，漏压为 $\pm 6V$ 的交流。栅压在接通态时为 +12V，截止态时为 -4V。根据上述方程，我们可求得 $V_G = 16V$ 。正如图 21 (A) 所示，若寄生电容为 2fF，则电压降 V 为 2V。这正好为 $1/3$ 的漏极充电电压。当然，贮存于象素中的电荷通过自然放电而释放，因此，实际上要提供理想的显示是极其困难的。为避免这一问题，务必牺牲孔经比 (aperture ratio) 来设置存储电容器。

另一方面，根据本发明可大大减小寄生电容量。更准确地说，该电容可降至 0.1fF 以下。因此，如图 21 (B) 所示，该电压降 V 几乎可忽略不计。此外，根据本发明方法的器件截止电流比用先有技术方法制成的 TFT 的截止电流小了大约一个数量级。因此，自放电要微弱得多，故能提供近乎理想的显示。

由此可见，根据本发明，在栅极表面形成了一绝缘的阳极化层。这样，沟道长度是大于栅极沿沟道纵向所占长度的。因此，在沟道区的相对侧面上形成了偏移区，该偏移区不接收栅极电场或接受栅极的极微弱电场。同样，能形成有相同优点的磷掺杂半导体区。这减小了反向偏置的漏电流。结果：省去了在此之前为维持电荷所必需的电容。在先有技术中约为 20% 的孔径比可改善到 35% 以上。因此，可形成较高质量的显示。

根据本发明，偏移区和掺杂非晶半导体区是由栅极的阳极化膜的厚度来确定的。因此，这些区的宽度可精确地控制在 10 至 100nm 之间。我们并未觉察到因添加了这一制造步骤而导致生产率的大降。而且不存在可被视为生产率减小的原因的任何因素。

至此，我们主要是以硅半导体器件作为对象加以描述的，但显然，本发明也适于采用锗，碳化硅，砷化镓或其它材料的半导体器件。

图 1

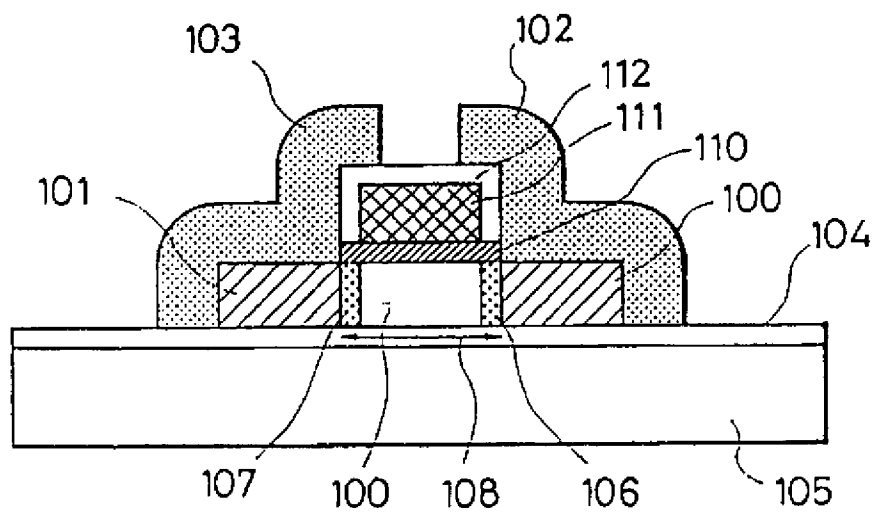


图 2

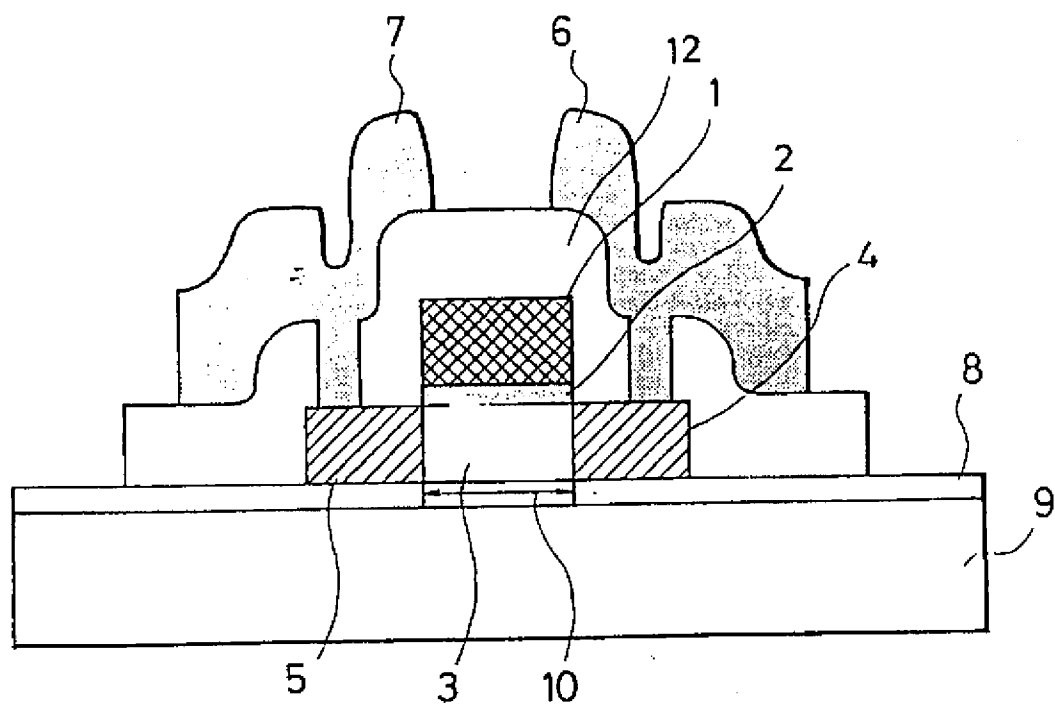


图 3

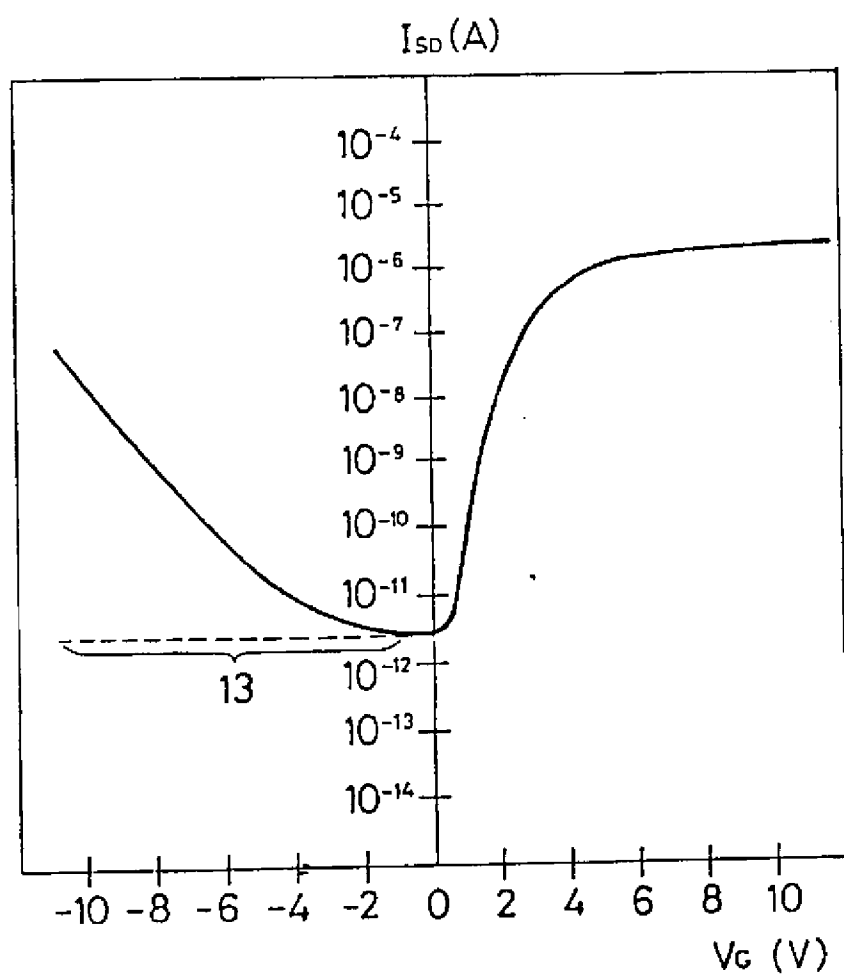


图 4

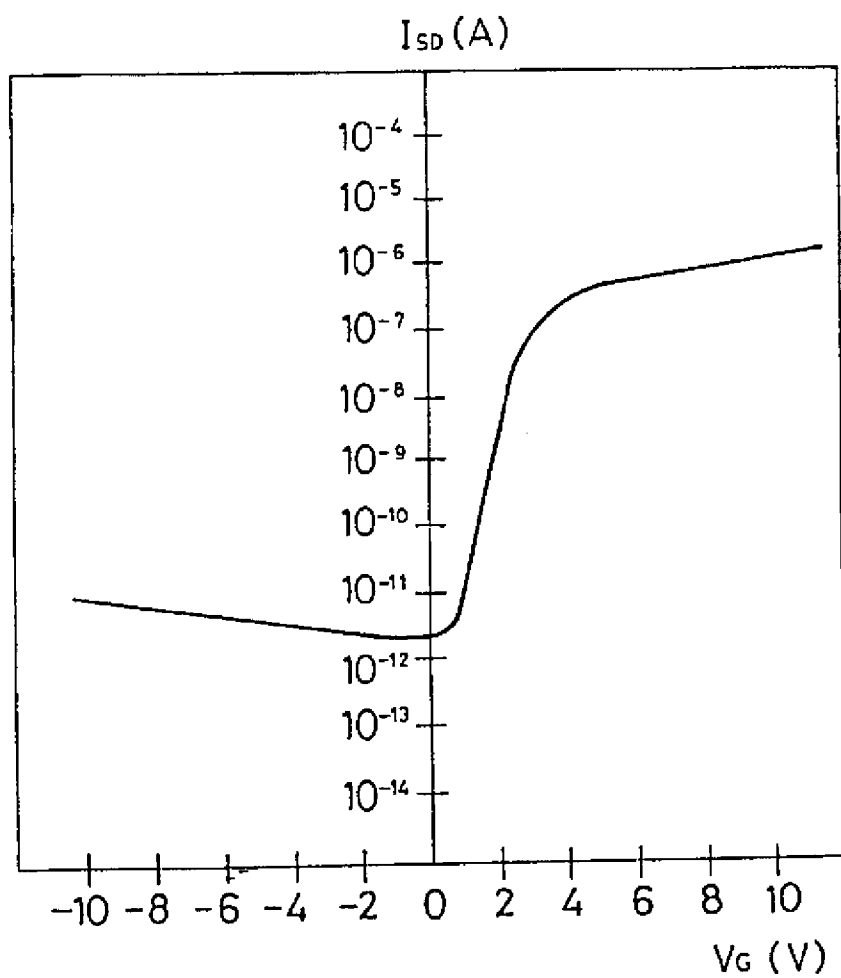


图 5(A)

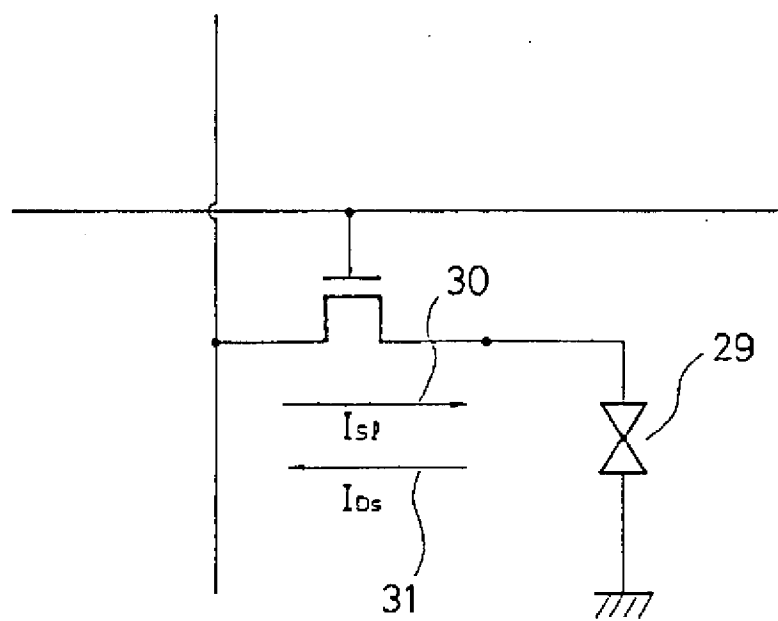


图 5(B)

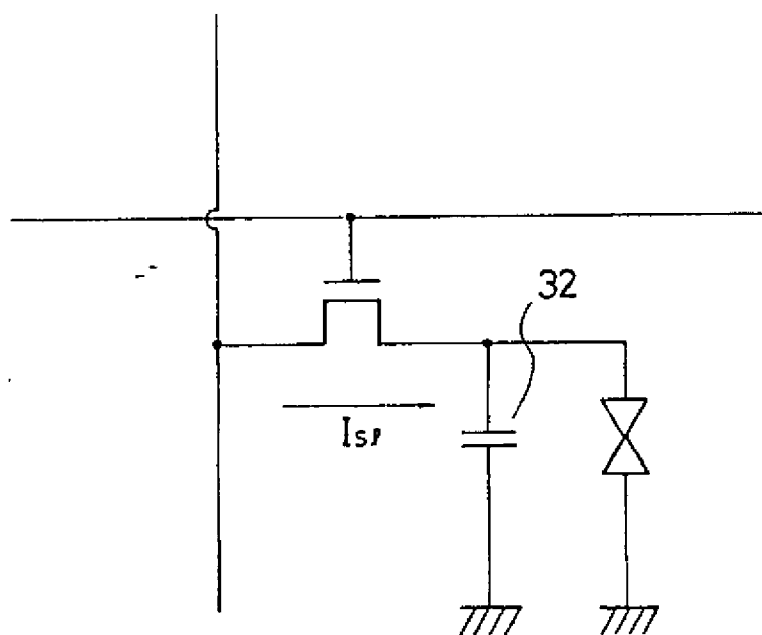


图 6

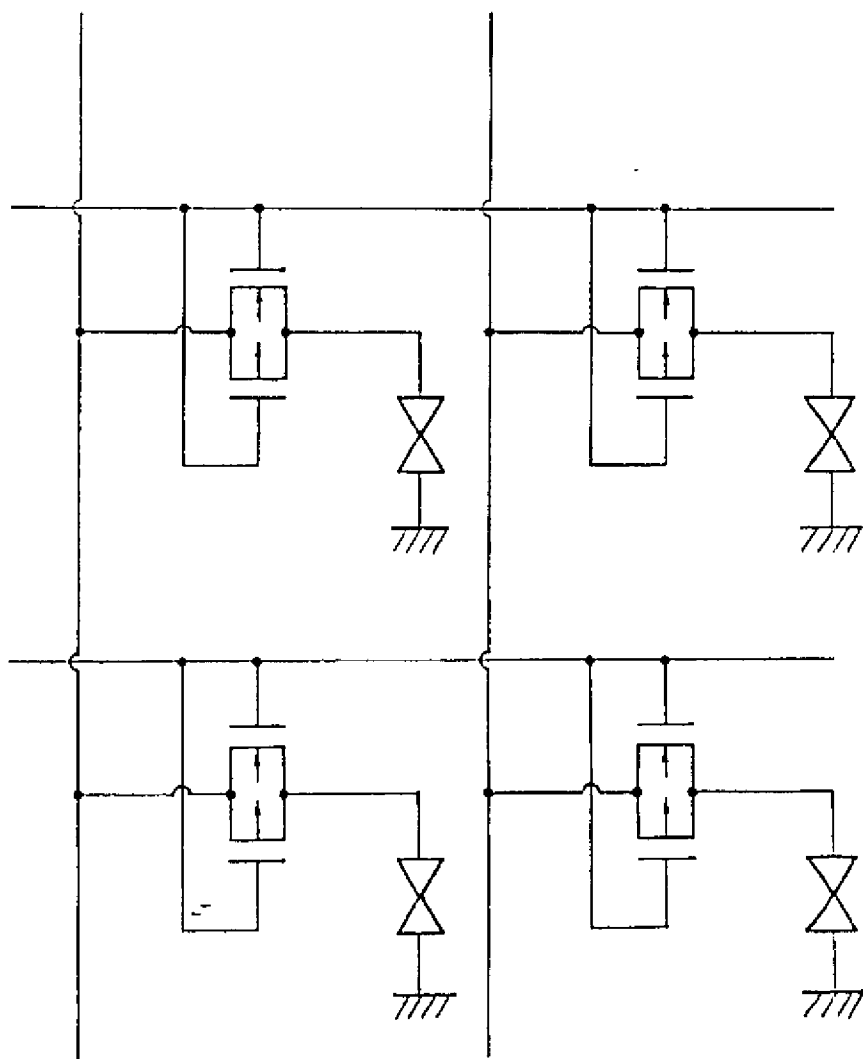
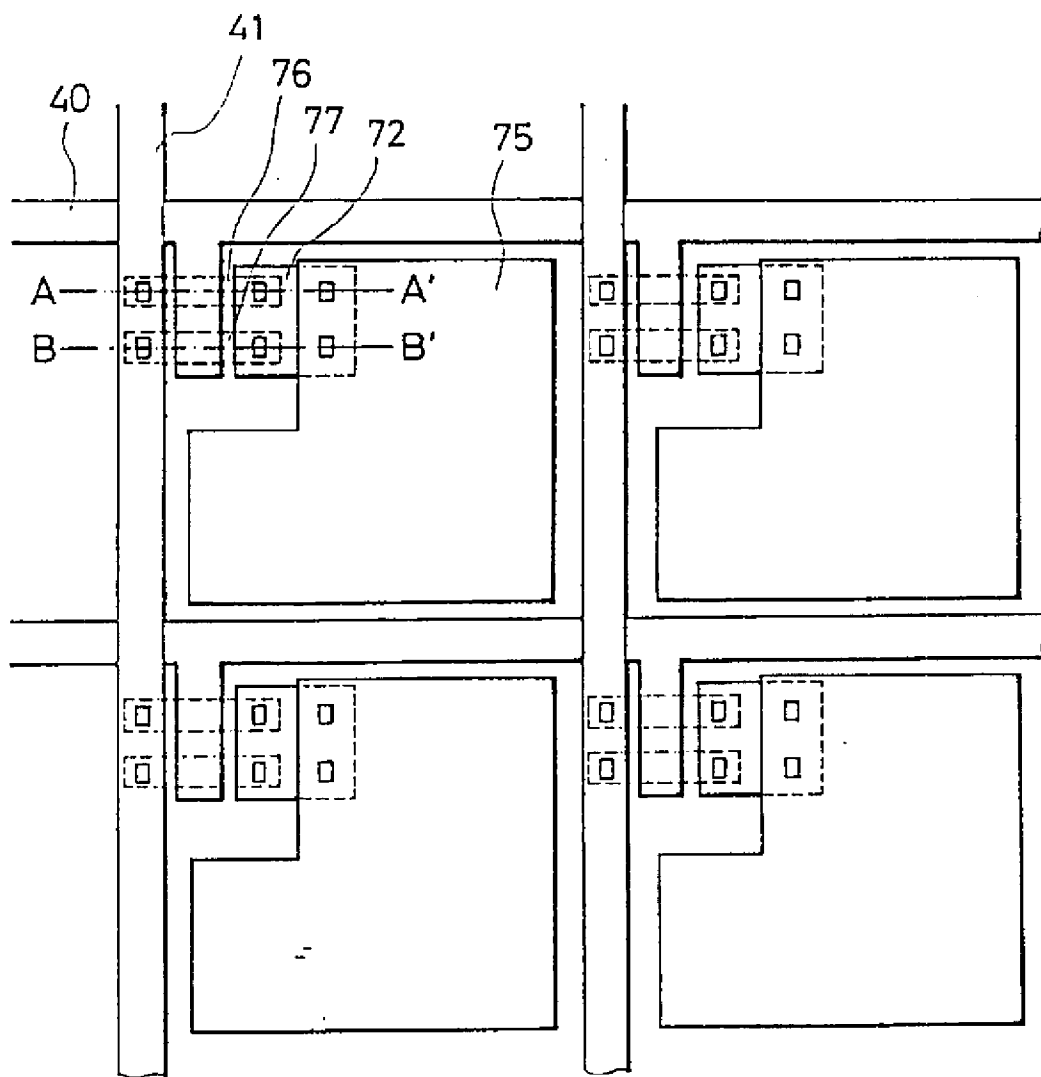
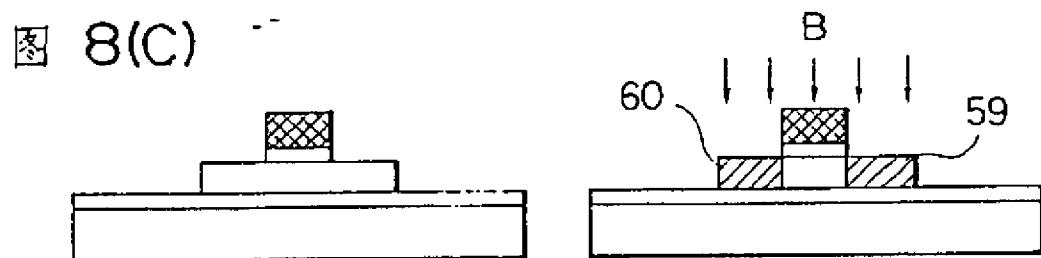
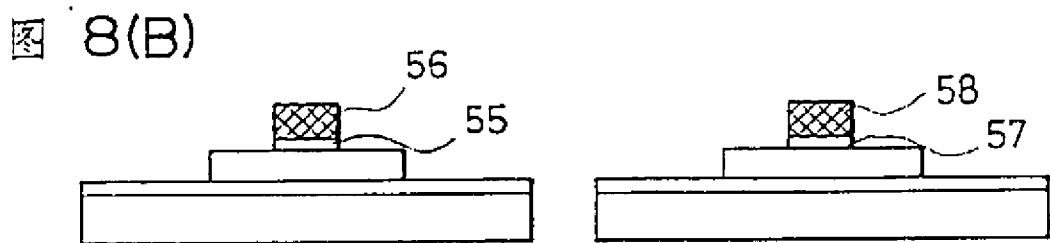
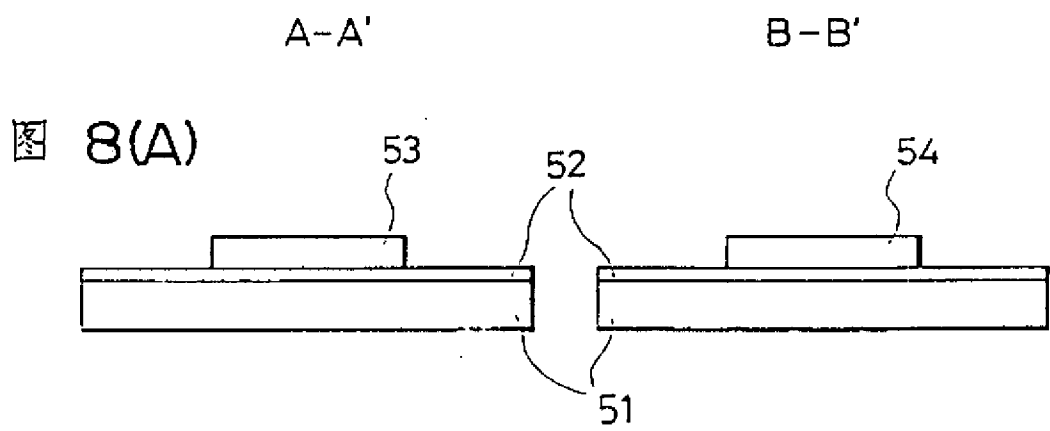


图 7





A-A'

B-B'

图 8(D)

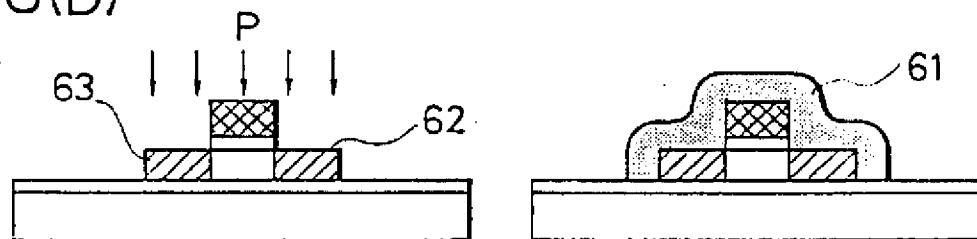


图 8(E)

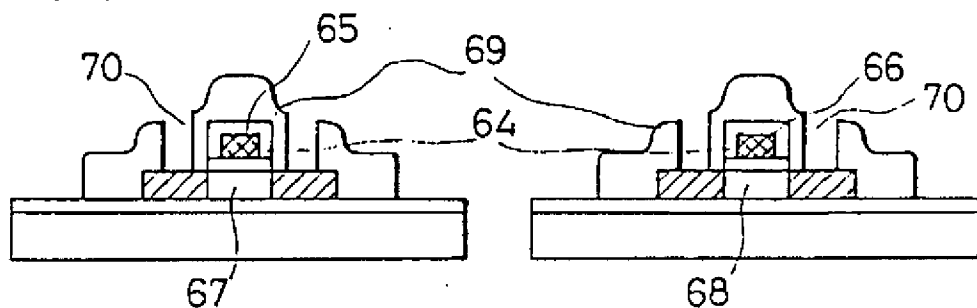


图 8(F)

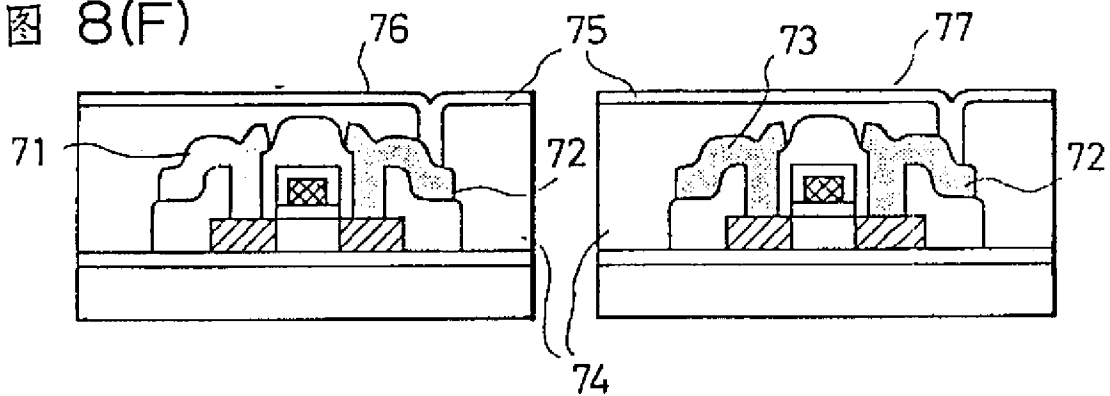


图 9

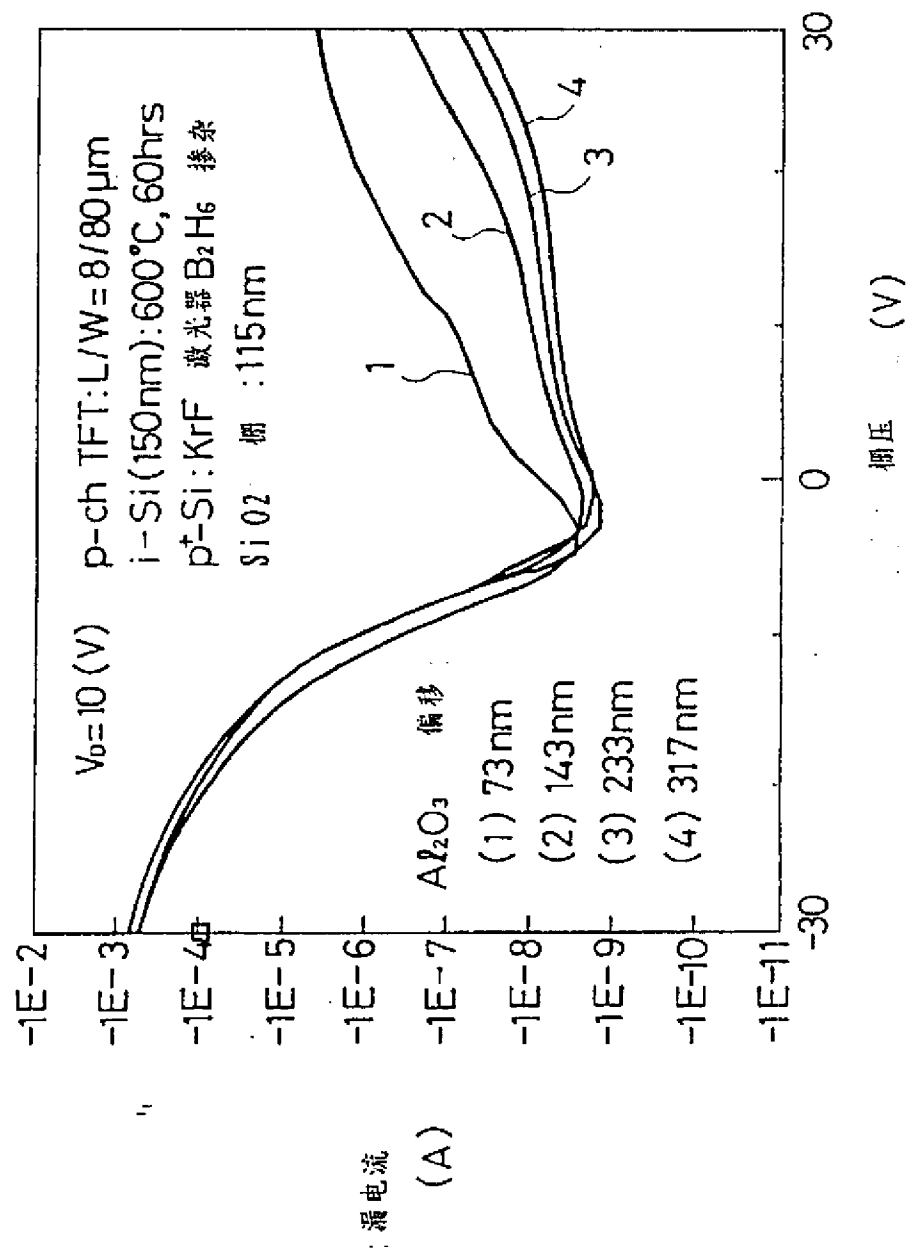


图 10

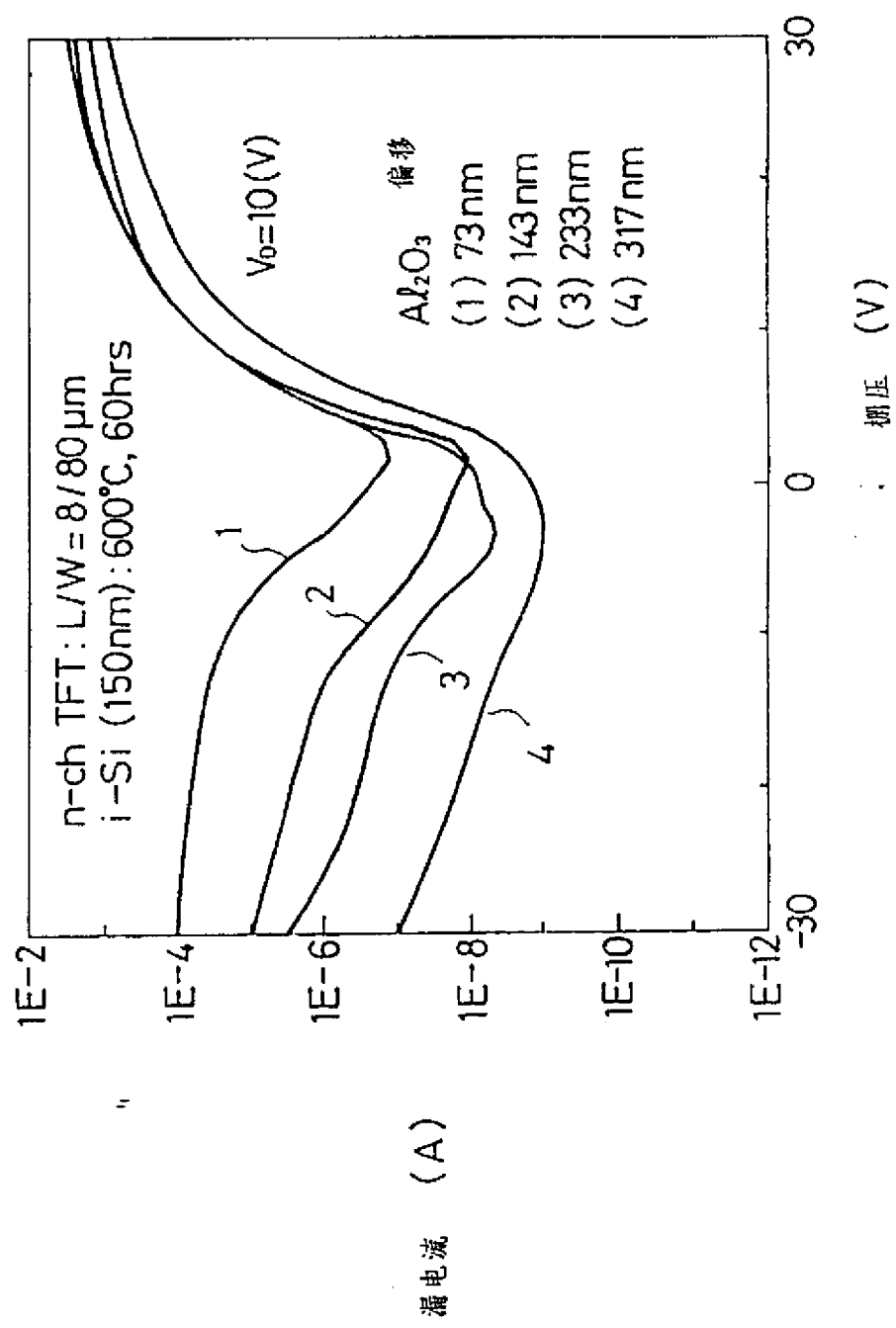


图 11

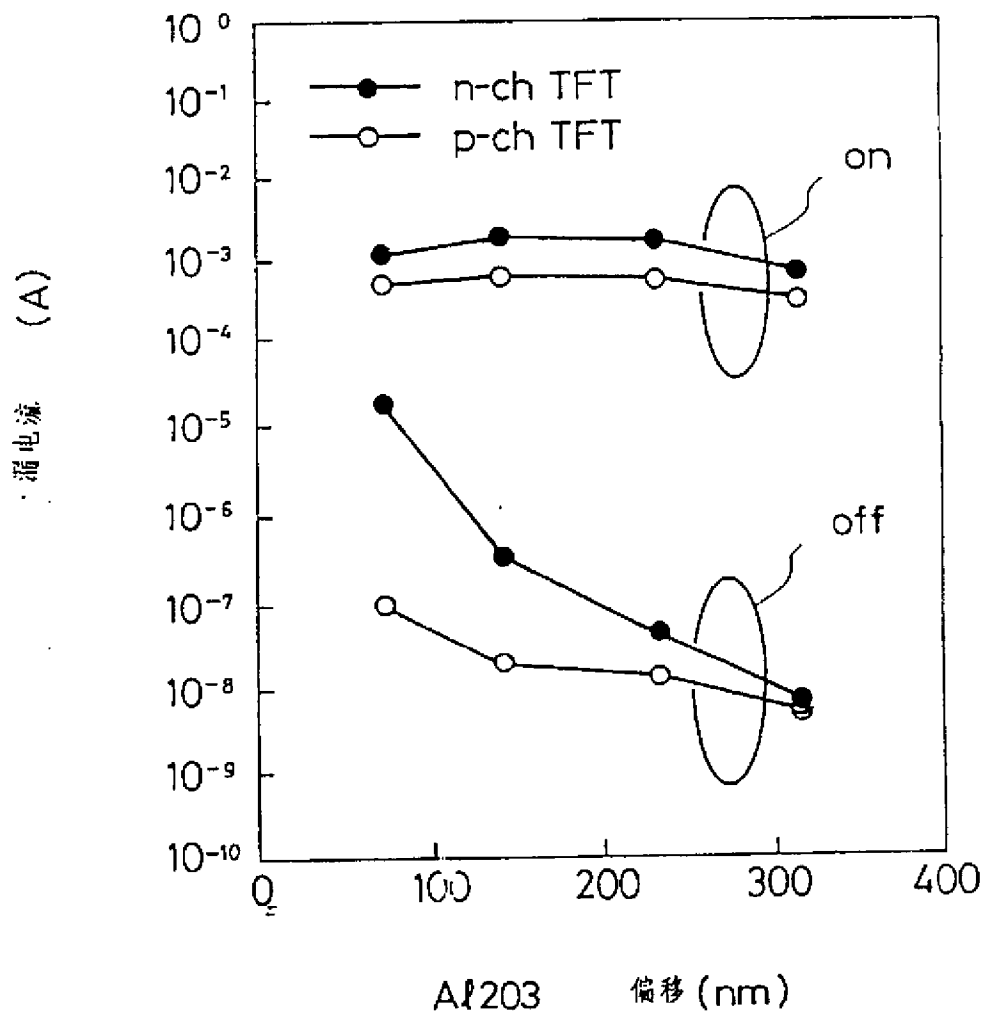


图 12

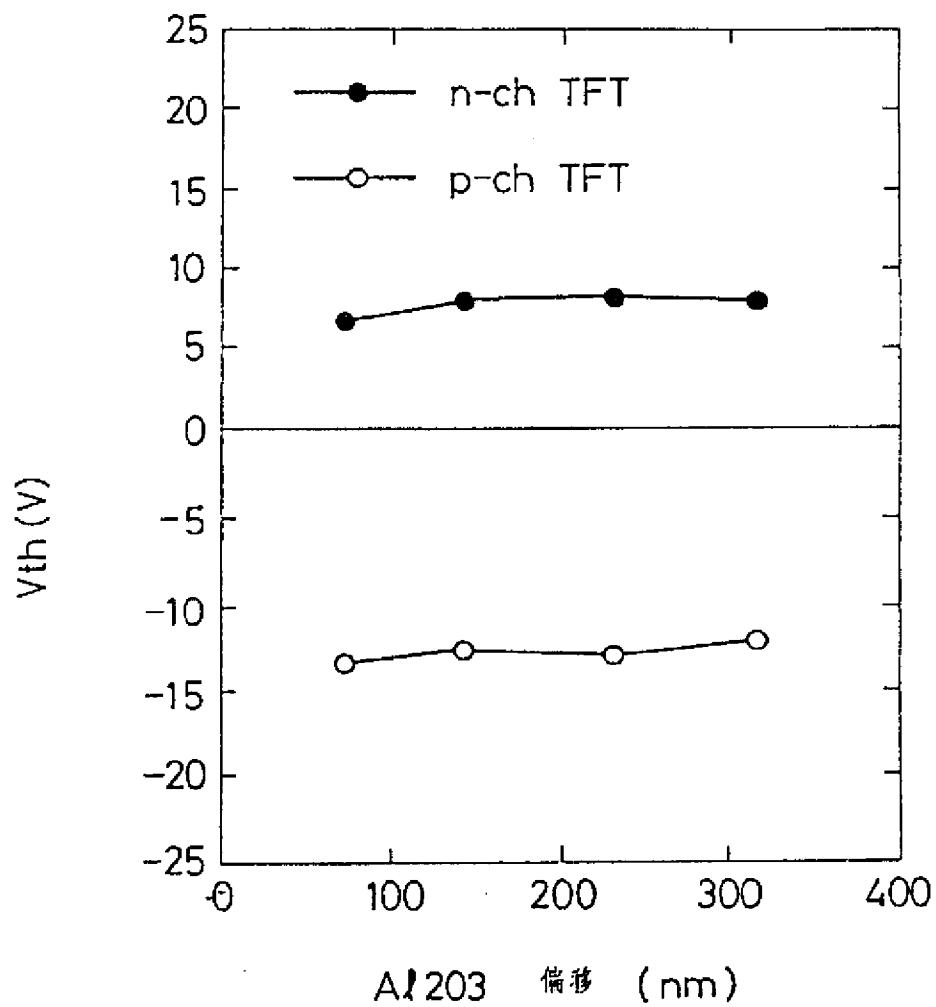


图 13

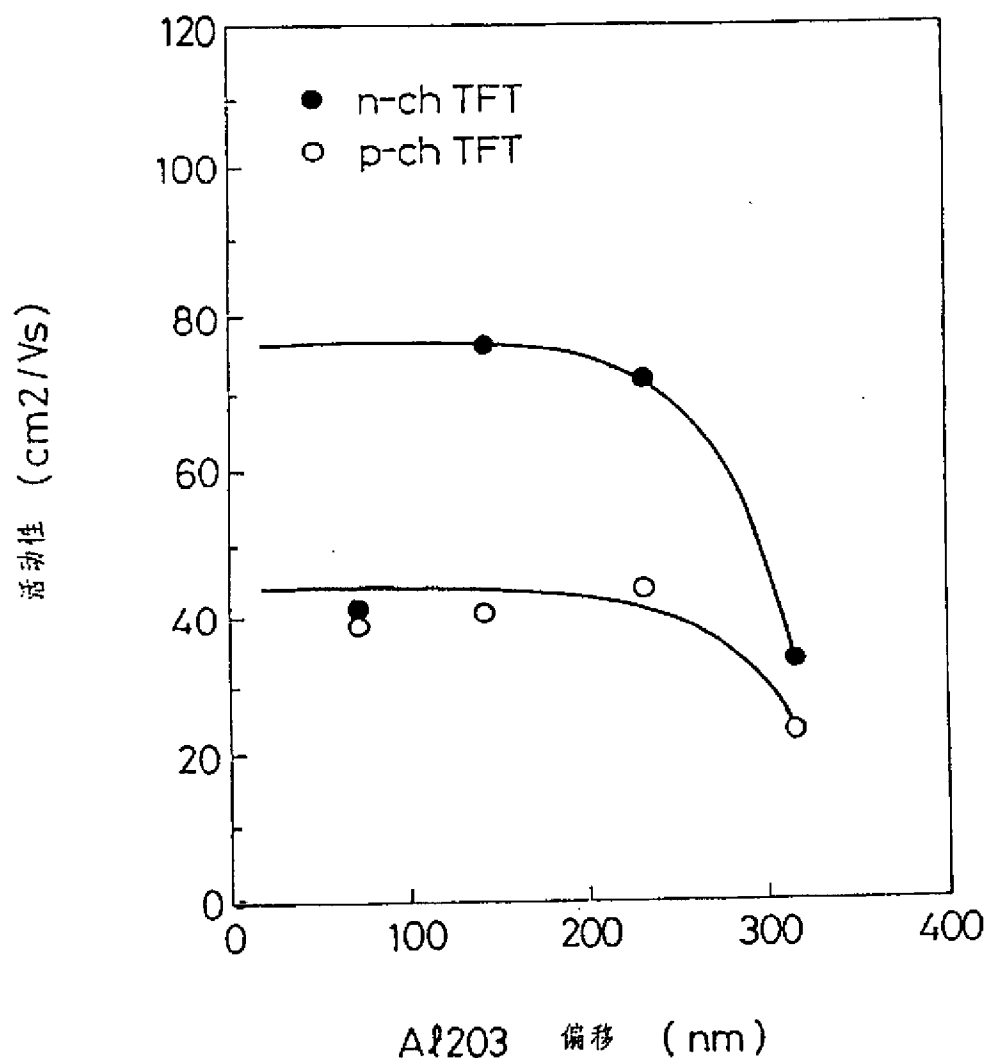


图 14(A)

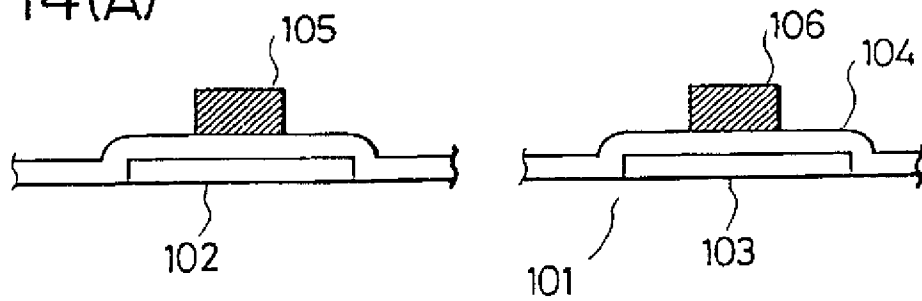


图 14(B)

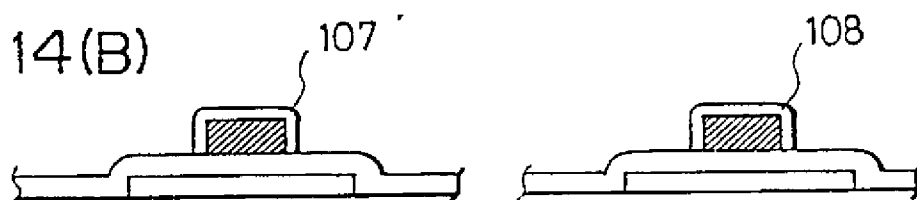


图 14(C)

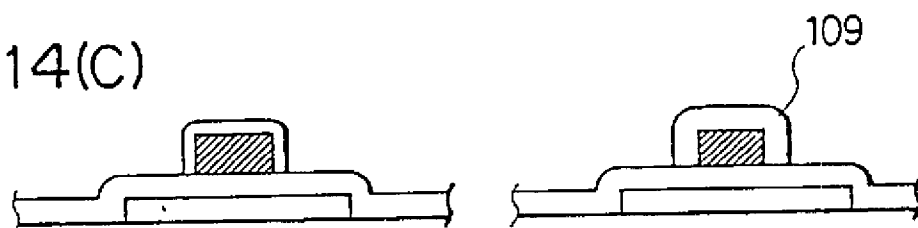


图 14(D)

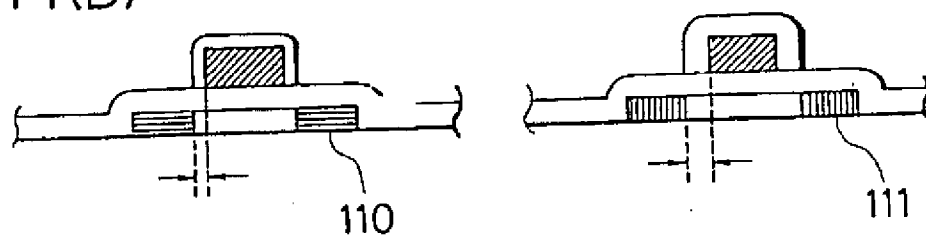


图 15(A)

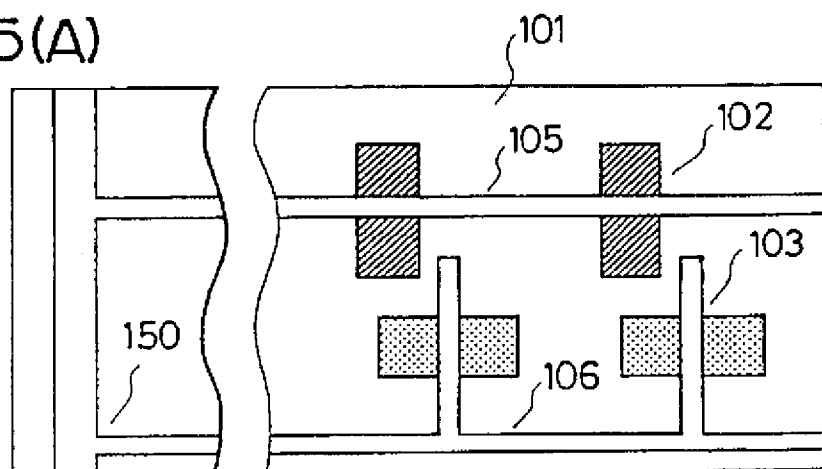


图 15(B)

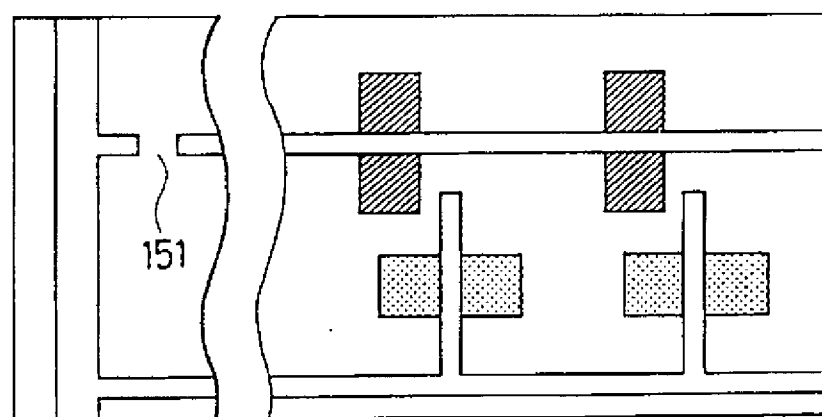
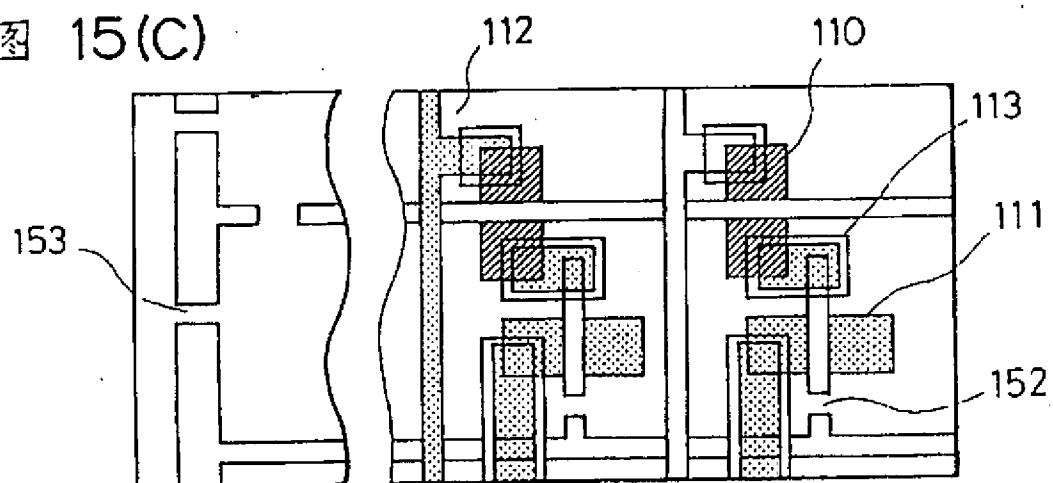


图 15(C)



A—A'

B—B'

图 16(A)

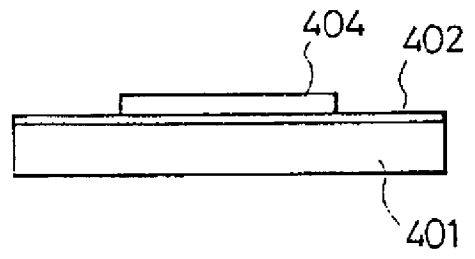
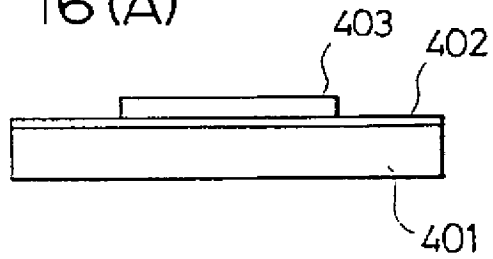


图 16(B)

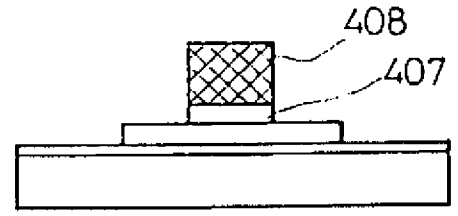
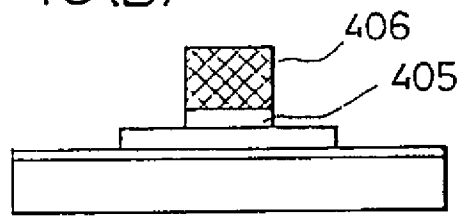
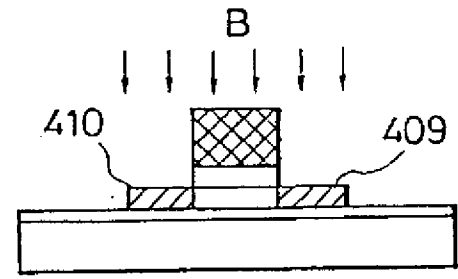
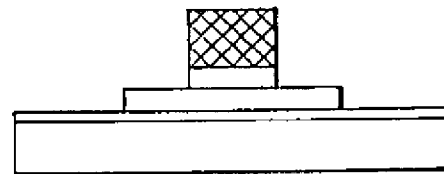


图 16(C)



A—A'

B—B'

图 16(D)

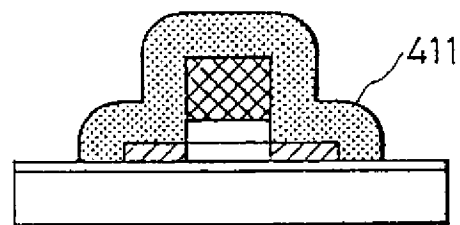
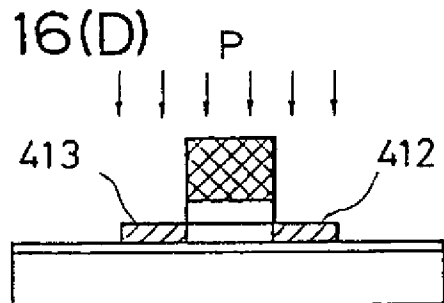


图 16(E)

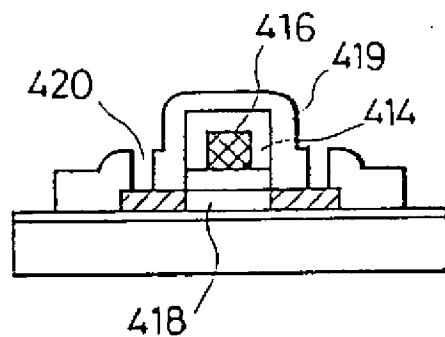
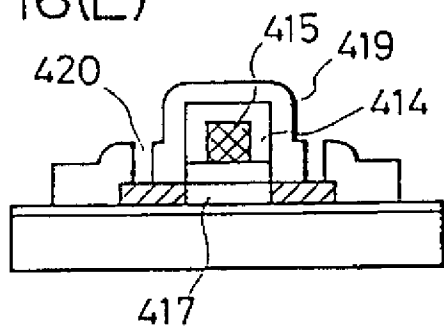


图 16(F)

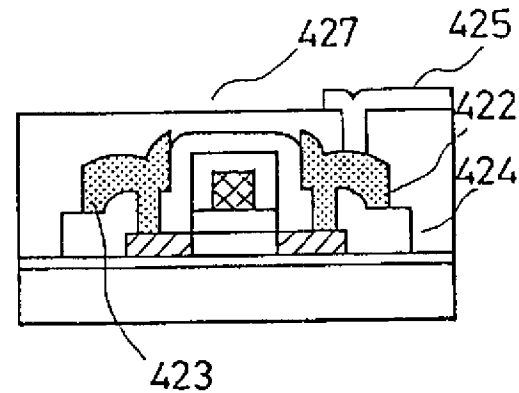
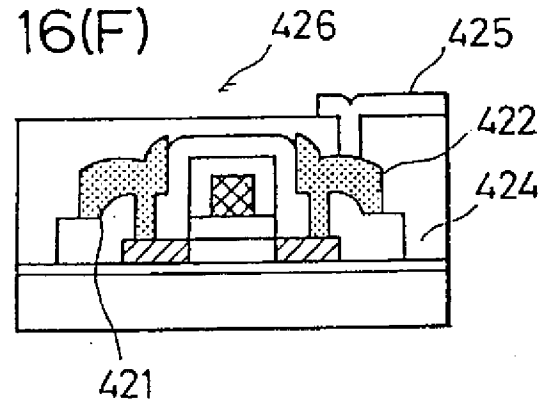
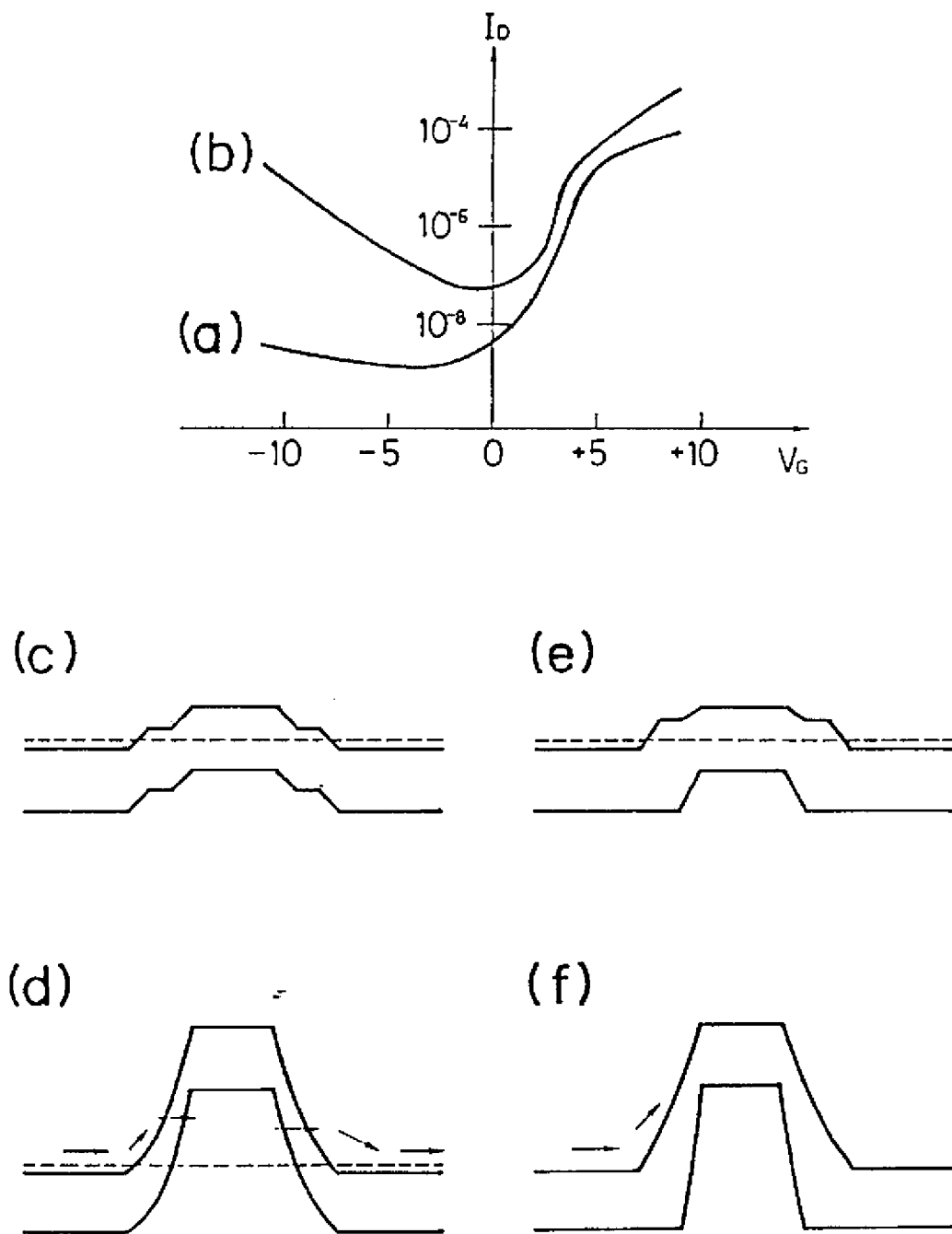


图 17



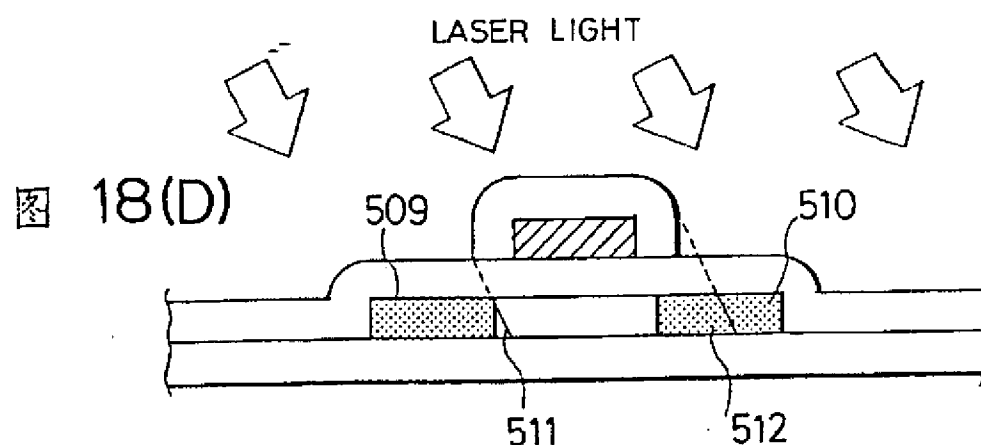
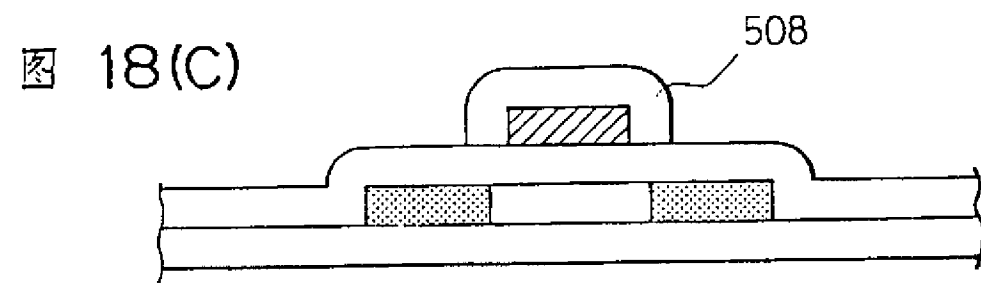
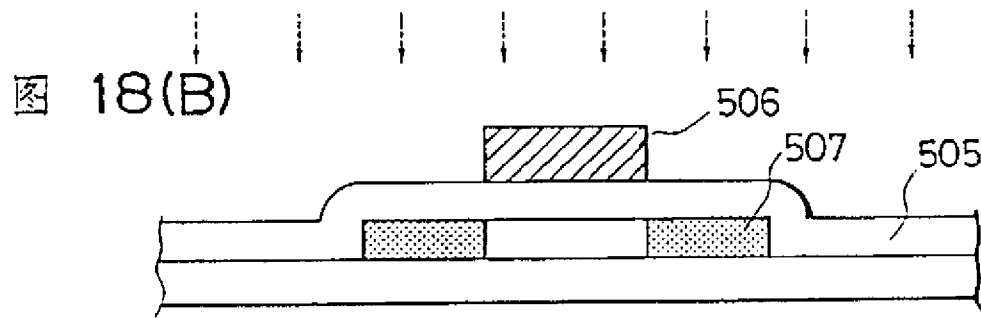
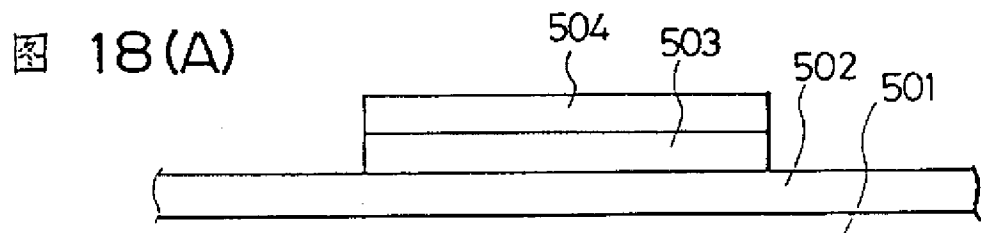


图 19(A)

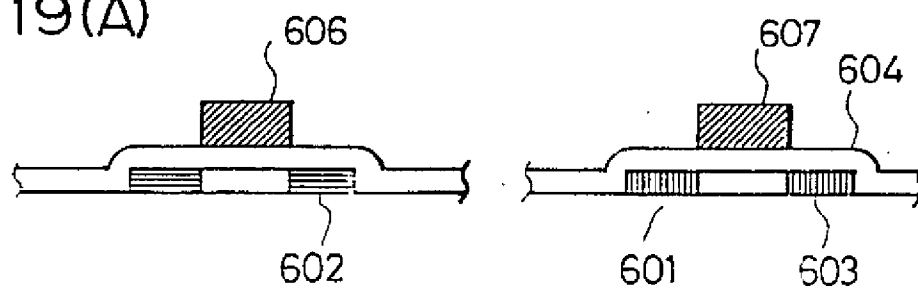


图 19(B)



图 19(C)

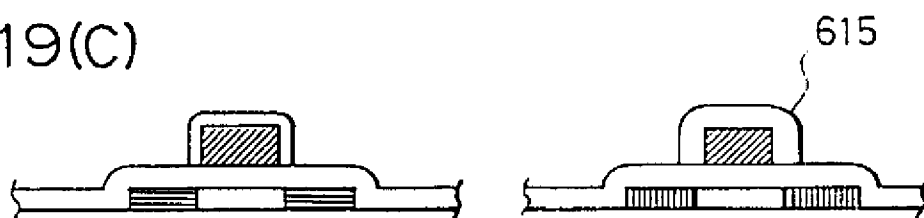


图 19(D)

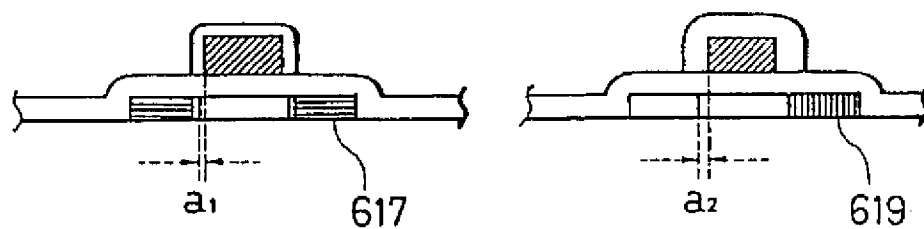


图 20

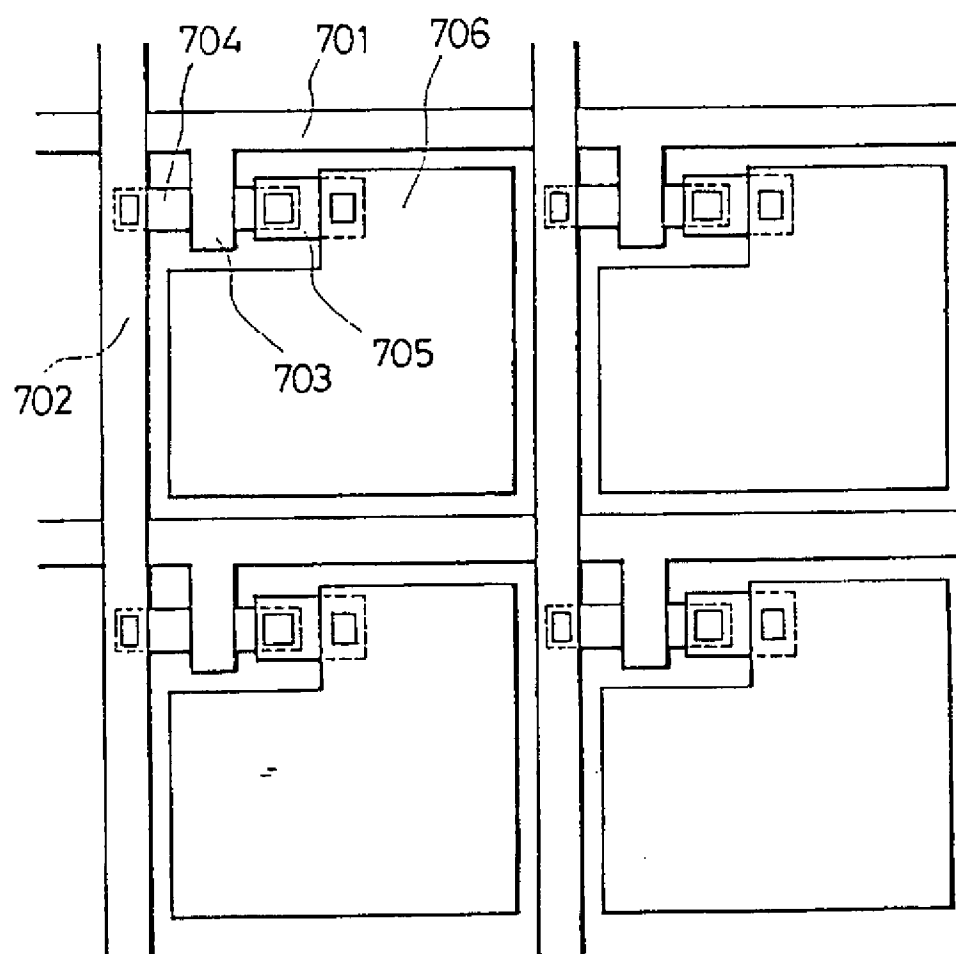


图 21

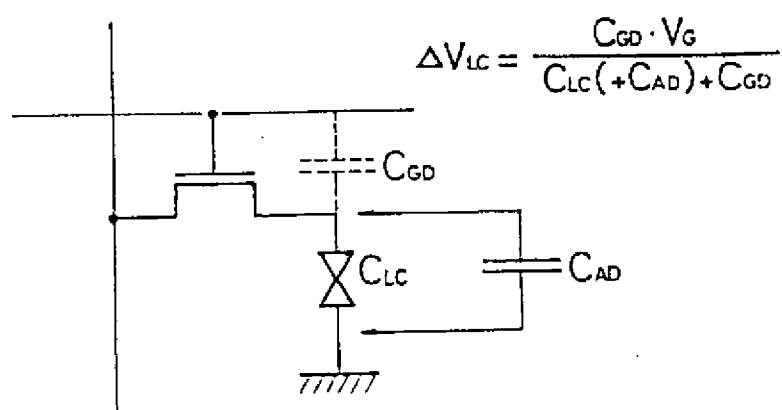


图 21(A)

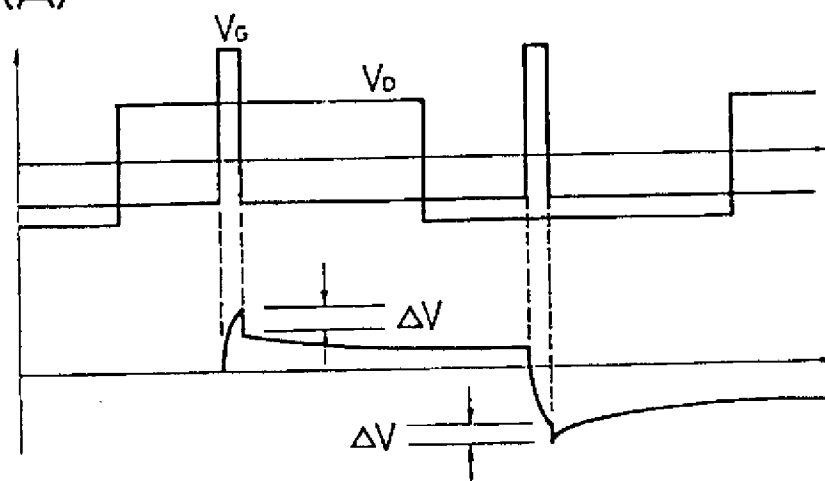


图 21(B)

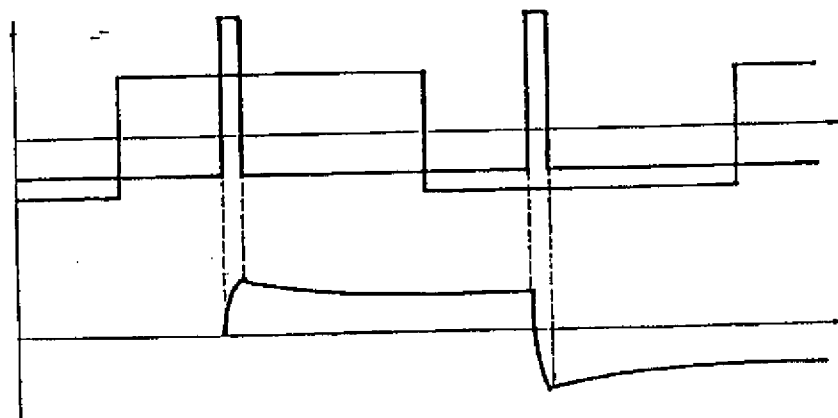


图 22(A)

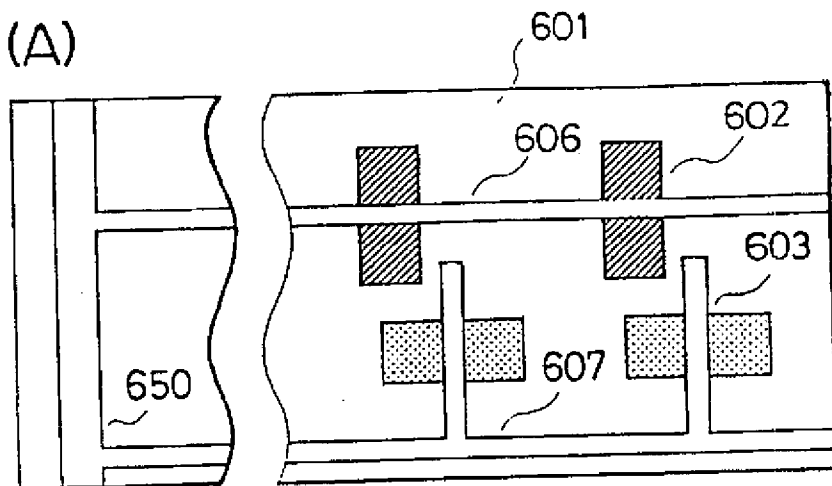


图 22(B)

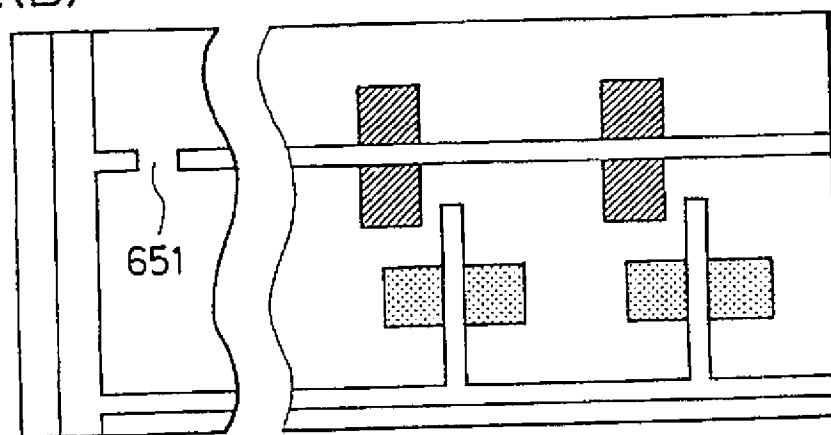


图 22(C)

